ВЕСТНИК ПЕРМСКОГО УНИВЕРСИТЕТА
2012 Математика. Механика. Информатика Вып. 4(12)

УДК 618

Отказоустойчивая ячейка статической памяти с использованием функционально полных толерантных элементов

С. Ф. Тюрин, А. М. Морозов

Пермский национальный исследовательский политехнический университет
Россия, 614600, Пермь, Комсомольский пр., 29
tyurinsergfeo@yandex.ru; +7 952-320-02-510; morozov@alexandr.by; +7 965-569-21-96

Предложено для повышения отказоустойчивости ячейки памяти SRAM использовать элементы с избыточным базисом – функционально полные толерантные (ФПТ) элементы, обеспечивающие работоспособность в случаях отказов и сбоев соответствующих транзисторов. Описано моделирование стандартной ячейки памяти SRAM, а затем ее модификации с использованием функционально полных толерантных элементов. Подтверждена работоспособность ячейки памяти при однократных константных отказах (сбоях). Произведено сравнение с отказоустойчивой реализацией в виде троированной ячейки памяти с мажоритарным элементом на выходе, показывающее предпочтительность предложенной ячейки по показателям сложности, быстродействия и вероятности безотказной, бессбойной работы.

Ключевые слова: *триггер; ячейка памяти SRAM; отказы и сбои; отказоустойчивость; мажоритирование; вероятность безотказной, бессбойной работы; система схемотехнического моделирования Multisim.*

Введение

В работах [1–2] предложено для создания логических преобразователей отказоустойчивых, адаптируемых к отказам автоматов использовать избыточные базисные элементы – так называемые функционально полные толерантные (ФПТ) элементы. Остаточные (оставшиеся после отказов в заданной модели отказов) базисы обеспечивают при соответствующей реконфигурации схемы реализацию хотя бы части наиболее важных логических функций.

В работах [3–4] показано, каким образом можно обеспечить в ФПТ-элементе сохранение самой исходной функции при отказах и сбоях. Рассмотрим применение такого подхода для обеспечения отказо- и сбоеустойчивости ячеек памяти микросхем, работающих в сложных и специальных условиях эксплуатации.

1. Элемент с избыточным базисом – функционально полный толерантный (ФПТ) элемент

Функционально полные толерантные (ФПТ) элементы [5–6], элементы с избыточным базисом, сохраняющие его при однократных константных отказах входов, а также при замыканиях входов, реализуют бинарные логические (булевы, переключательные) функции (1), (2):

$$\bar{x}_1\bar{x}_2 \vee \bar{x}_3\bar{x}_4, \qquad (1)$$

$$(\bar{x}_1 \vee \bar{x}_2)(\bar{x}_3 \vee \bar{x}_4). \qquad (2)$$

Используем функцию (1), которая реализуется на восьми транзисторах [5]:

© Тюрин С. Ф., Морозов А. М., 2012

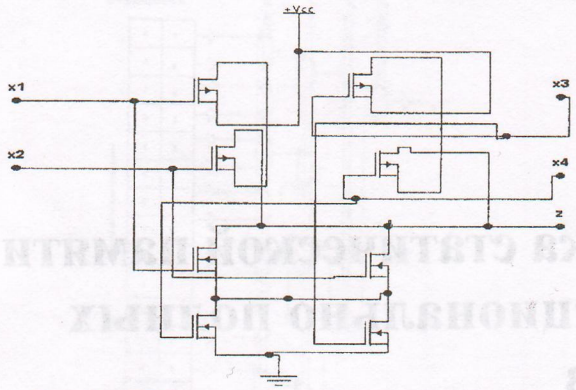


Рис. 1. *ФПТ-элемент в виде транзисторной структуры на базе КМОП транзисторов с р и п каналами*

Проанализируем функции отказов транзисторов в стандартной модели отказов, получим табл. 1 функций отказов.

Таблица 1 показывает, что по первой и последней строке ни один из типов отказов не влияет на реализуемую функцию и это функция инверсии.

То есть функция (3):

$$\overline{xx} \vee \overline{xx} \qquad (3),$$

не изменяется при однократных отказах (сбоях). Это не что иное, как учетверенная логика на уровне вентиля (логического элемента) [7].

Таблица 1. *Функции отказов транзисторов Т1–Т8 ФПТ-элемента*

№	X4	X3	X2	X1	Z,Z+	Z+ т1.1	Z+ т1.0	Z+ т2.1	Z+ т2.0	Z+ т3.1	Z+ т3.0	Z+ т4.1	Z+ т4.0	Z-	Z- т5.1	Z- т5.0	Z- т6.1	Z- т6.0	Z- т7.1	Z- т7.0	Z- т8.1	Z- т8.0
0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1	0	1	0	0	0	0	0	0	1	0	1	0
2	0	0	1	0	1	1	1	1	1	1	0	1	0	0	0	0	0	0	1	0	1	0
3	0	0	1	1	1	1	1	1	1	1	0	1	0	0	0	0	0	0	1	0	1	0
4	0	1	0	0	1	1	0	1	0	1	1	1	1	0	1	0	1	0	0	0	0	0
5	0	1	0	1	0	1	0	0	0	1	0	0	0	1	1	0	1	1	1	0	1	1
6	0	1	1	0	0	0	0	1	0	1	0	0	0	1	1	1	1	0	1	0	1	1
7	0	1	1	1	0	0	0	0	0	1	0	0	0	1	1	1	1	1	1	0	1	1
8	1	0	0	0	1	1	0	0	0	1	1	1	1	0	1	0	1	0	0	0	0	0
9	1	0	0	1	0	1	0	0	0	0	0	1	0	1	1	0	1	1	1	1	1	0
10	1	0	1	0	0	0	0	1	0	0	0	1	0	1	1	1	1	0	1	1	1	0
11	1	0	1	1	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	1	1	0
12	1	1	0	0	1	1	0	0	0	1	1	1	1	0	1	0	1	0	0	0	0	0
13	1	1	0	1	0	1	0	0	0	0	0	0	0	1	1	0	1	1	1	1	1	1
14	1	1	1	0	0	0	0	1	0	0	0	0	0	1	1	1	1	0	1	1	1	1
15	1	1	1	1	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1

Попробуем использовать такой подход для разработки отказо- и сбоеустойчивого триггера – элемента статической памяти SRAM [8].

2. Элемент статической памяти SRAM и его моделирование

Ячейка памяти SRAM [8] состоит из запирающих транзисторов и триггера (рис. 2). Для записи единицы шину "BL" необходимо подключить к высокому потенциалу, а "$\overline{BL}$" – к земле, затем, подключив шину "WL", открываем запирающие транзисторы и происходит запись на триггер единицы. Убрав высокий потенциал с шины "WL", закроем транзисторы и состояние триггера останется неизменным независимо от потенциалов на шинах "BL" и "$\overline{BL}$".

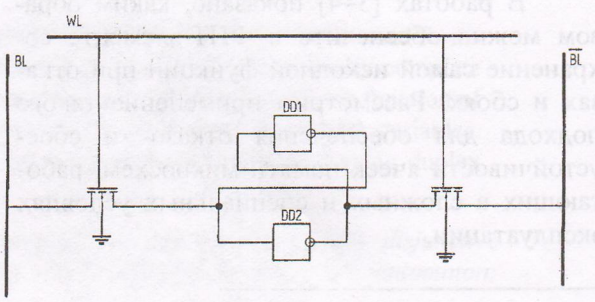


Рис. 2. *Ячейка памяти SRAM*

Для записи нуля потребуется подключить шину "BL" к земле, а "$\overline{BL}$" – к высокому потенциалу, затем, подключив шину "WL", открываем запирающие транзисторы и происходит запись на триггер нуля.

Для чтения состояния триггера разомкнем ключи S1 и S2, чтобы не замкнуть шины на землю или питание, после чего подадим высокий потенциал на шину "WL".

3. Моделирование ячейки памяти SRAM с триггером на ФПТ-элементах

ФПТ-базис позволяет избежать ошибок при однократных константных отказах. Модифицируем ячейку SRAM, заменив инверторы ФПТ-элементами (рис. 3). Затем в программе Multisim соберем предлагаемую схему на транзисторах (рис. 7). Транзисторы Q1, Q2, Q3, Q4, Q13, Q14, Q15 и Q16 находятся в меню "Place > Select a component > Master database > Transistors > TRANSISTORS_VIRTUAL > MOS_3TEP_VIRTUAL".

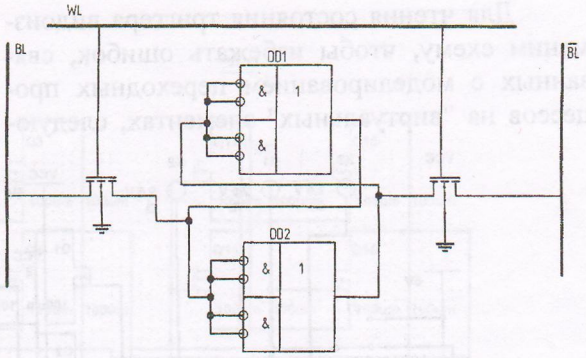


Рис. 3. *Ячейка памяти SRAM с триггером на ФПТ-элементах*

Транзисторы Q5, Q6, Q7, Q8, Q9, Q10, Q11, Q12 находятся в меню "Place > Select a component > Master database > Transistors > TRANSISTORS_VIRTUAL > MOS_3TEN_VIRTUAL". Транзисторы Q17 и Q18 находятся в меню "Place > Select a component > Master database > Transistors > TRANSISTORS_VIRTUAL > MOS_4TEN_VIRTUAL".

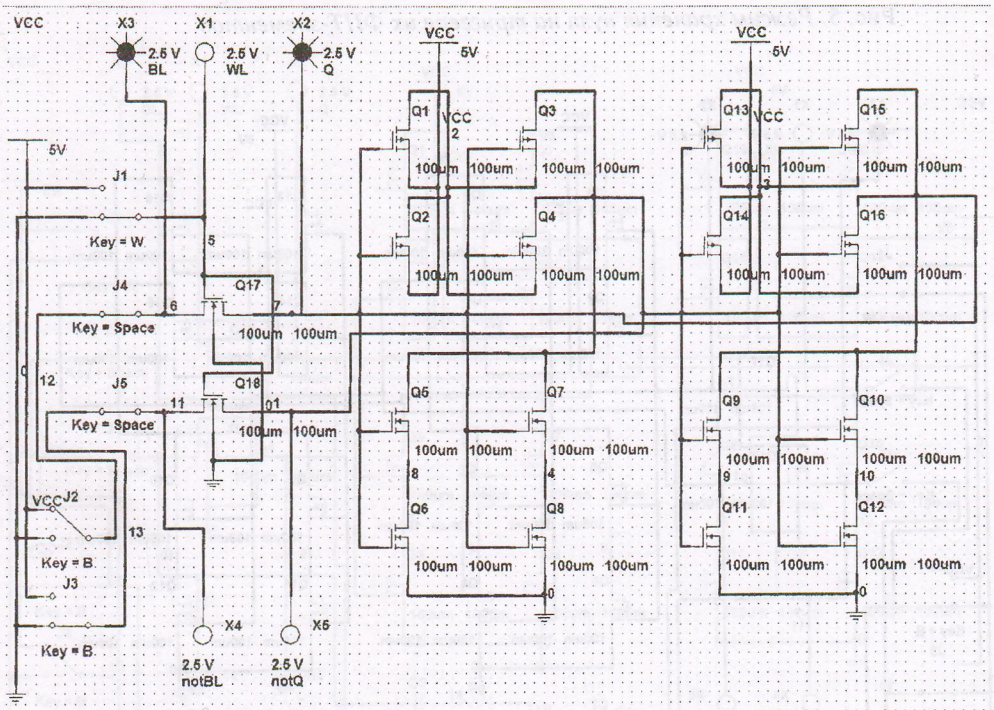


Рис. 4. *Режим хранения единицы на триггере из ФПТ-элементов*

Ключи J4 и J5 позволят отключать шины от источников питания или земли, чтобы избежать короткого замыкания. Ключи J2, J3 и J1 позволяют управлять напряжением на шинах "BL", "$\overline{BL}$" и "WL" соответственно.

Проверим схему, записав на триггер единицу (рис. 4), аналогично тому, как делали это во втором разделе.

После этого произведем запись нуля (рис. 5).

Для чтения состояния триггера видоизменим схему, чтобы избежать ошибок, связанных с моделированием переходных процессов на "виртуальных" элементах, следующим образом: подключим параллельно ключам J4 и J5 RC-контур (рис. 6), который внесет задержку при отключении шины от земли или питания.

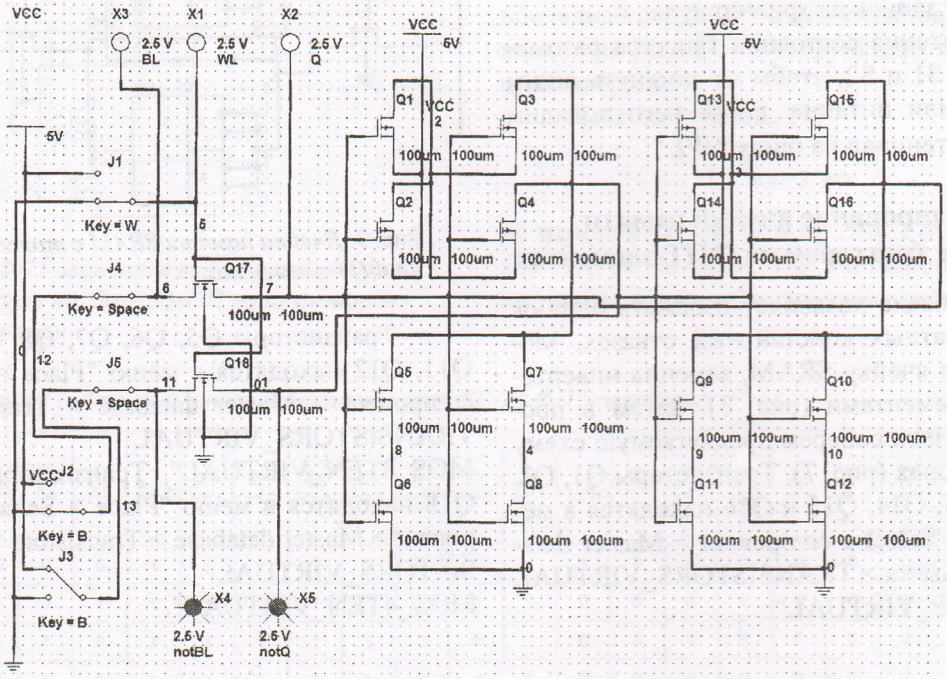


Рис. 5. *Режим хранения нуля на триггере их ФПТ-элементов*

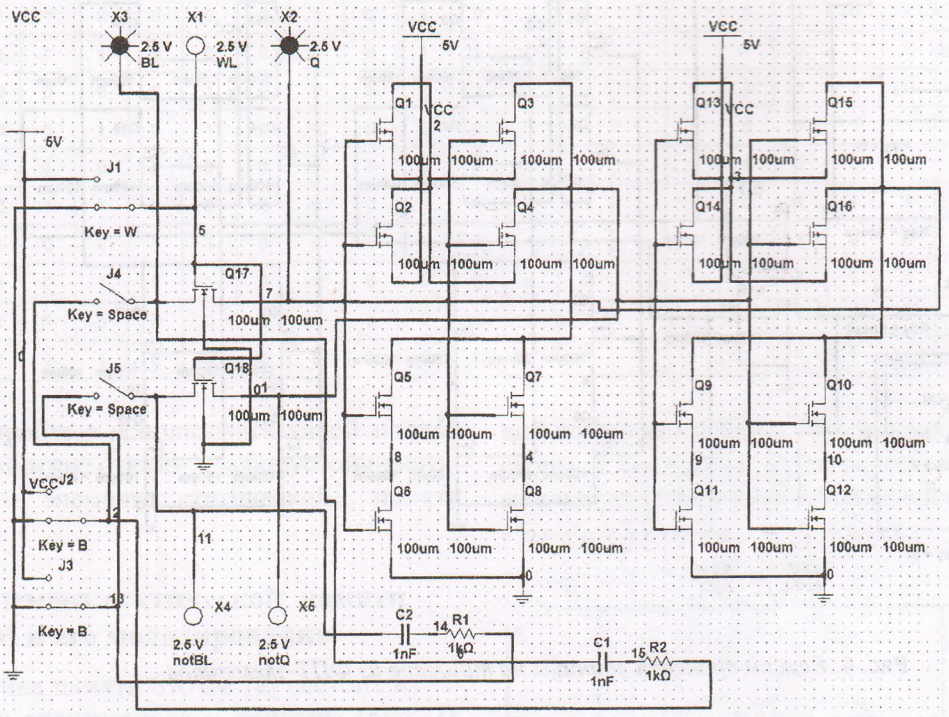


Рис. 6. *Режим чтения*

Проверим схему на отказоустойчивость при однократных константных отказах. Имитируем обрыв затвора на транзисторе Q1. Для этого отключим его от транзистора Q17. Произведем запись единицы (рис. 7), а затем нуля (рис. 8).

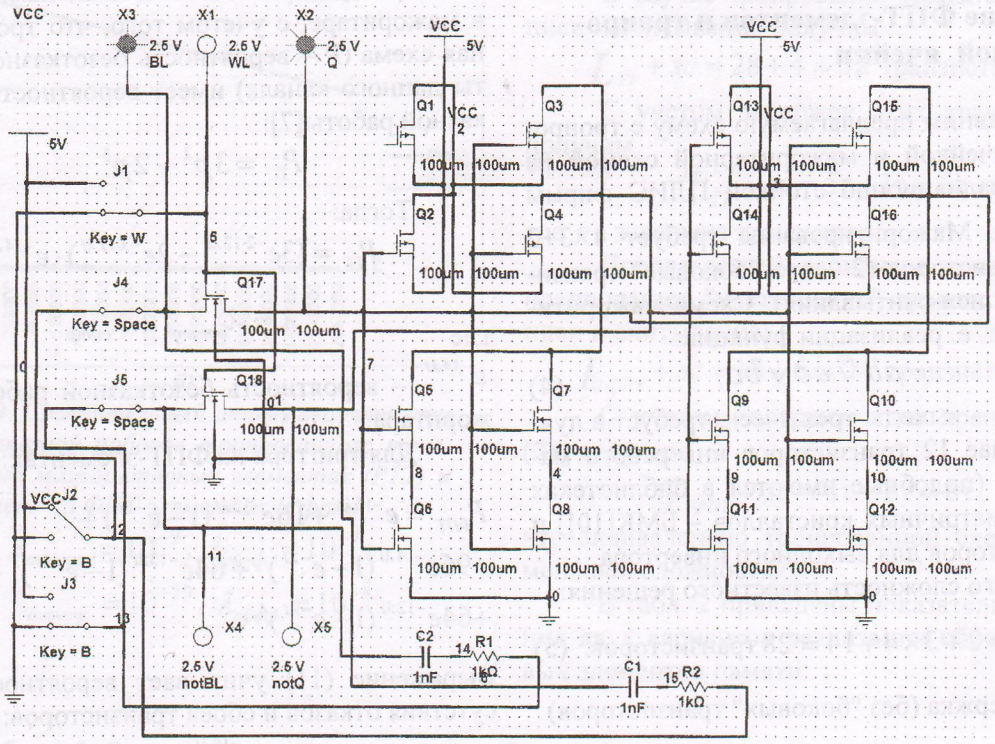


Рис. 7. *Хранение единицы при обрыве затвора на транзисторе Q1*

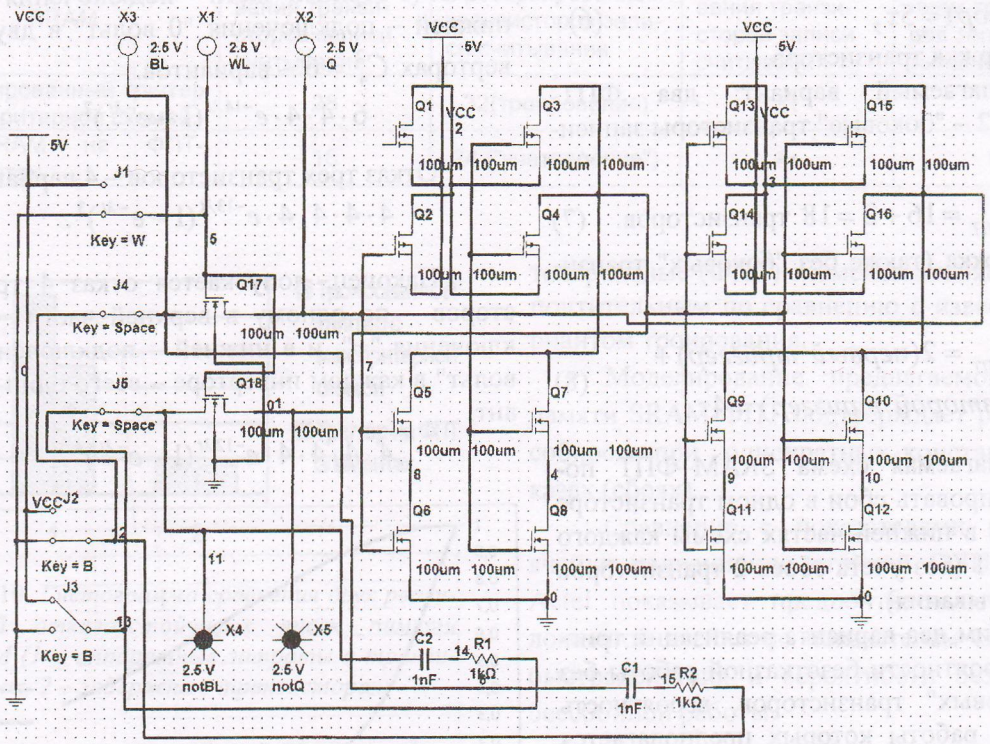


Рис. 8. *Режим хранения нуля при обрыве затвора на транзисторе Q1*

Отказы можно смоделировать и для любых других входов ФПТ-элемента. При этом не утратится работоспособность ячейки памяти SRAM.

4. Сравнение ячейки памяти на основе ФПТ-элементов и троированной ячейки

Сравним предлагаемую схему с троированной ячейкой и мажоритарной схемой на выходе радиационно стойкой ПЛИС фирмы Actel [9]. Мажоритирование требует 4×3+2 =14 транзисторов (2 – это "боковые" транзисторы записи-считывания). Схема мажоритирования, т. е. реализации функции:

$$ab \vee ac \vee bc, \qquad (4)$$

где a, b, c – выходы трех ячеек, требует в лучшем случае 12 транзисторов инверсного мажоритара (подобные имеются в библиотеках базовых матричных кристаллов – БМК[10]) и 2 транзисторов для выходного инвертора.

Итого сложность известного решения:

$$L_{TT} = 2 + 3 \times 4 + 14 = 28 \text{ транзисторов.} \qquad (5)$$

Задержка (без "боковых" транзисторов)

$$T_{TT} = 1(\textit{первый триггер}) + \\ +1(\textit{второй триггер}) + 2(\textit{мажоритар}) + \\ +1(\textit{инвертор}) = 5\tau, \qquad (6)$$

где τ – задержка транзистора.

Предлагаемый вариант: два ФПТ-элемента + 2 – "боковые" транзисторы записи-считывания

$$L_{ФПТ} = 16 + 2 = 18 \text{ транзисторов.} \qquad (7)$$

Задержка (также без "боковых" транзисторов)

$$T_{ФПТ} = 2(\textit{первый триггер}) + \\ +2(\textit{второй триггер}) = 4\tau. \qquad (8)$$

Предлагаемая схема SRAM–ФПТ позволяет парировать сбои в одном транзисторе в верхней и в нижней частях схемы каждого ФПТ – рис. 1 (без учета сбоев 2 транзисторов записи, считывания).

Сравним два варианта реализации триггеров по вероятности безотказной работы без учёта "боковых" транзисторов, вероятность безотказной работы которых предполагается одинаковой для двух вариантов. Зададим $\lambda_{откtр}$ – интенсивность отказов транзисторов, $\lambda_{сбтр}$ – интенсивность сбоев транзисторов.

Тогда для троированной схемы с одним мажоритаром, где допускается один отказ одного транзистора в самой ячейке памяти либо в мажоритаре, с учетом того, что троированная схема (P – вероятность безотказной работы данного канала) имеет вероятность безотказной работы[7]:

$$P_{TC} = 3p^2 - 2p^3. \qquad (9)$$

Тогда:

$$P_{TT} = (3e^{-2\cdot 12\lambda t} - 2e^{-3\cdot 12\lambda t}) \cdot e^{-14\lambda t}, \qquad (10)$$

где

$$\lambda = \lambda_{откtр} + \lambda_{сбтр},$$

$e^{-14\lambda t}$ – вероятность безотказной работы мажоритара.

Для триггера на ФПТ-элементах:

$$P_{ФПТ} = e^{-16\lambda t} + 16e^{-15\lambda t}(1 - e^{-\lambda t}) + \\ +96e^{-14\lambda t}(1 - e^{-\lambda t})^2 + 64e^{-13\lambda t}(1 - e^{-\lambda t})^3 + \\ +64e^{-12\lambda t}(1 - e^{-\lambda t})^4. \qquad (11)$$

Выражение (11) учитывает вероятность отсутствия отказов и сбоев транзисторов:

$$e^{-16\lambda t}. \qquad (12)$$

Отказ двух транзисторов в 4 частях схемы (в верхней части – подключения "+", в нижней – подключения "0 вольт" в двух инверторах $C_4^2 = 6$ – вариантов.

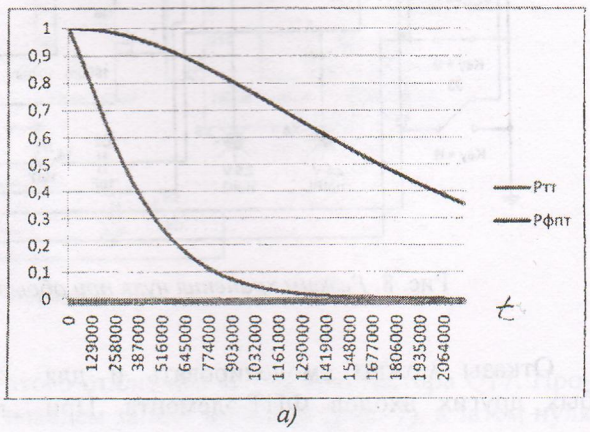
$$6 \cdot 4 \cdot 4 \cdot e^{-14\lambda t}(1 - e^{-\lambda t})^2. \qquad (14)$$

Отказ трех транзисторов – 4 варианта:

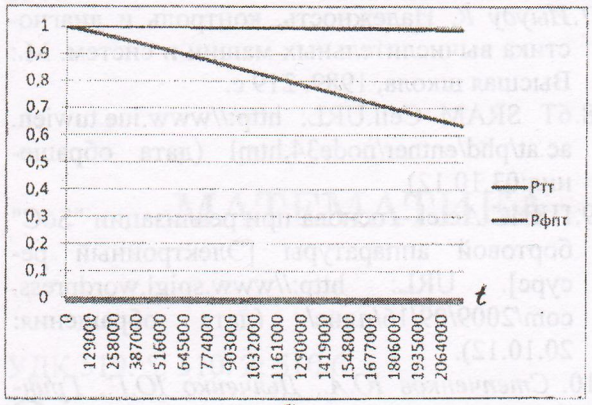
$$4 \cdot 4 \cdot 4 \cdot 4 \cdot e^{-13\lambda t}(1 - e^{-\lambda t})^3. \qquad (15)$$

Наконец, допускается отказ 4 транзисторов – по одному в верхней части – подключения "+", и в нижней – подключения "0 вольт" в каждом инверторе – всего один вариант:

$$4 \cdot 4 \cdot 4 \cdot 4 \cdot e^{-12\lambda t}(1 - e^{-\lambda t})^4. \qquad (16)$$



а)



б)

Рис. 9. *Сравнительный анализ вероятности безотказной работы троированного триггера на мажоритарных элементах (РТТ) и триггера на ФПТ-элементах (Рфпт):*

а) $\lambda_{откtр} = 10^{-9}$, $\lambda_{сбтр} = 10^{-7}$;

б) $\lambda_{откtр} = 10^{-10}$, $\lambda_{сбтр} = 10^{-8}$

В случае троирования транзисторов записи и считывания получим

$$L_{TT} + зс = 28 + 4 = 32 \text{ транзистора.} \quad (17)$$

С учетом задержек этих транзисторов получим

$$T_{TT} + зс = 5\tau + 1\tau = 6\tau, \quad (18)$$

где τ – задержка транзистора.

Предлагаемый вариант в этом случае предполагает "учетверение" транзисторов записи и считывания:

$$L_{ФПТ} + зс = 18 + 6 = 24 \text{ транзистора.} \quad (19)$$

С учетом задержек этих транзисторов (2τ) получим

$$T_{ФПТ} + зс = 4\tau + 2\tau = 6\tau, \quad (20)$$

что эквивалентно троированной схеме, но с меньшей сложностью.

В табл. 2 приведены показатели сравнения двух вариантов реализации сбоеустойчивых элементов памяти.

Таблица 2. *Сравнение вариантов реализации сбоеустойчивых элементов памяти*

Вариант реализации SRAM	Аппаратные затраты в транзисторах		Задержка в транзисторах	
	без резервирования транзисторов записи считывания	с резервированием транзисторов записи считывания	без резервирования транзисторов записи считывания	с резервированием транзисторов записи считывания
1. Троированный триггер с мажоритарной схемой.	28	32(троирование)	5τ	6τ
2. SRAM на ФПТ-элементах.	18	24 ("учетверение")	4τ	6τ

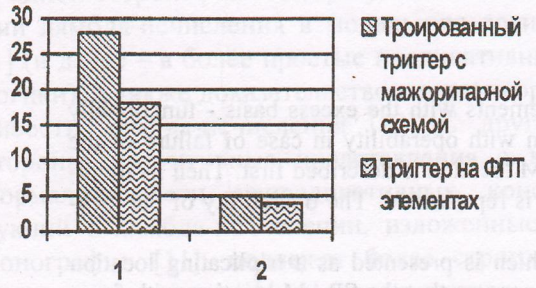


Рис. 10. *Гистограмма сравнения двух реализаций отказоустойчивых ячеек памяти SRAM (1 – аппаратные затраты в транзисторах, 2 – задержка в транзисторах)*

Заключение

Таким образом, предложенное для повышения отказоустойчивости ячейки памяти SRAM решение использовать элементы с избыточным базисом – функционально полные толерантные (ФПТ) элементы является предпочтительным по сравнению с известным вариантом троирования.

Моделирование предлагаемой ячейки памяти SRAM-ФПТ подтверждает работоспособность при однократных константных отказах (сбоях).

Сравнение с показателями известной ячейки радиационно стойкой ПЛИС фирмы Actel показывает предпочтительность предложенной ячейки по показателям сложности, быстродействия и вероятности безотказной, бессбойной работы.

Предлагаемая ячейка статической памяти SRAM-ФПТ рекомендуется к использованию в отказоустойчивых конфигурируемых ячейках памяти программируемых логических интегральных схем (ПЛИС), например типа FPGA (field-programmable gate array).

Список литературы

1. *Тюрин С.Ф.* Функционально полные толерантные булевы функции // Наука и технология в России. 1998. № 4. С.7–10.
2. *Тюрин С.Ф.* Проблема сохранения функциональной полноты булевых функций при "отказах" аргументов // Автоматика и телемеханика. 1999. № 9. С.176–186.
3. *Tyurin S., Kharchenko V.* Redundant Basises for Critical Systems and Infrastructures: General Approach and Variants of ImplementationProceedings of the 1st Intrenational Workshop on Critical Infrastructures Safety and Security. Kirovograd, 2011. Vol. 2. P.300–307.
4. *Тюрин С.Ф., Громов О.А., Греков А.В.* Функционально полный толерантный элемент ФПТ+ // Научно-технические ведомости С.-Петерб. гос. политехн. ун-та. 2011. №1(115). С. 24–31.
5. *Тюрин С.Ф., Громов О.А., Греков А.В.* Функционально-полный толерантный элемент. Патент РФ № 2449469, опубл. 27.04.2012. Бюл. № 12.
6. *Тюрин С.Ф., Громов О.А,* Функционально полный толерантный элемент. Патент РФ № 2438234, опубл. 27.12.2011. Бюл. № 36.
7. *Иыуду К.* Надежность, контроль и диагностика вычислительных машин и систем. М.: Высшая школа, 1989. 219 с.
8. 6T SRAM Cell.URL: http://www.iue.tuwien.ac.at/phd/entner/node34.html (дата обращения:03.10.12).
9. ПЛИС Actel – основа при реализации "SoC" бортовой аппаратуры [Электронный ресурс]. URL: http://www.spigl.wordpress.com/2009/09/16/плис/ (дата обращения: 20.10.12).
10. *Степченков Ю.А., Дьяченко Ю.Г., Гринфельд Ф.И. и др.* Библиотека самосинхронных элементов для технологии БМК // Проблемы разработки перспективных микроэлектронных систем. 2006: сб. науч. тр. / под общ. ред. А.Л.Стемпковского. М.: ИППМ РАН, 2006. С. 259–264.
11. *Сайт* разработчика National Instruments // http://www.ni.com/multisim/
12. *Учебник* по Multisim – Transient Analysis. URL: http://jeka911xs.narod.ru/analiz5.html
13. *National* Instruments – Error: Time Step Too Small in Multisim. URL: http: //digital.ni.com/public. nsf/allkb/4B99B2CD6C0C3B6A 86257 205005D58E0 (дата обращения: 30.10.12).

Fault tolerance static random-access memory using functionally complete tolerant elements

S. F. Tjurin, A. M. Morozov

Perm National Research Polytechnic University, Russia, 614990, Perm, Komsomolsky Av., 29
tyurinsergfeo@yandex.ru; +7 952-320-02-510
morozov@alexandr.by; +7 965-569-21-96

To raise the fault tolerance of the SRAM location elements with the excess basis - functionally complete tolerant elements which provide the location with operability in case of failure of the transistors in other words, are used. Modeling of SRAM location is described first. Then its modification using functionally complete tolerant elements is represented. The operability of the location in case of single constant failures is asserted.

The comparison with the resilient implementation which is presented as a triplicating location with the output majority gate is carried out. This demonstrates that the SRAM location with functionally complete tolerant elements is more preferable in terms of the complexity factor, speed capability and the possibility of no-failure work.

Key words: *trigger; SRAM location; faults and failures; fault tolerance; majorization; the possibility of no-failure work; the system of circuit simulation Multisim.*