УДК 681.32

Использование в учебном процессе отечественной системы автоматизированного проектирования (САПР) "Ковчег"

С. Ф. Тюрин
Пермский национальный исследовательский политехнический университет
Россия, 614990, г. Пермь, ул. Комсомольский пр., 29
tyurinsergfeo@yandex.ru; +7-952-32-02-510
Пермский государственный национальный исследовательский университет
Россия, 614990, г. Пермь, ул. Букирева, 15

А. Н. Каменских
Пермский национальный исследовательский политехнический университет
Россия, 614990, г. Пермь, ул. Комсомольский пр., 29
antoshkinoinfo@yandex.ru; +7-902-64-125-45

О. А. Зобнина
Пермский национальный исследовательский политехнический университет
Россия, 614990, г. Пермь, ул. Комсомольский пр., 29
zobnina.olka@gmail.com;

Анализируются возможности использования в учебном процессе по дисциплинам "Математическая логика", "Алгоритмы и анализ сложности", "Дискретная математика", "Схемотехника отечественной системы автоматизированного проектирования (САПР) "Ковчег"", разработанной в техническом центре Московского института электронной техники (МИЭТ), и ориентированной на полузаказную реализацию цифровых устройств на основе базовых матричных кристаллов (БМК). Актуальность внедрения в учебный процесс вызвана важнейшими задачами импортозамещения электронной элементной базы и требованиями перехода на отечественное программное обеспечение. Рассматривается пример синтеза простого автомата, который может быть использован на практических и лабораторных занятиях, а также в самостоятельной работе студентов.

Ключевые слова: *конечный автомат; САПР; моделирование; базовый матричный кристалл.*

DOI: 10.17072/1993-0550-2018-2-75-79

Введение

В дисциплине "Алгоритмы и анализ сложности" рассматриваются два пути реализации алгоритмов – программный и аппаратный. В настоящее время аппаратная реализация алгоритмов также возможна двумя основными путями. Первый – разработка больших интегральных схем (БИС) "с нуля" – так называемых заказных микросхем или ASIC (application-specific integrated circuit) [1]. Это самый дорогой вариант и не всем он под силу (ведущие фирмы тратят на это миллиарды долларов), но зато получают наиболее "быстрые" и/или энергоэффективные решения. Если при этом объем выпуска достаточно велик (пример – процессоры универсальных ЭВМ, микроконтроллеров), то стоимость будет не слишком высока. Не случайно сейчас много пишут об ASIC-майнинге. Второй вариант – использование программируемой логики-программируемых логических интегральных схем (ПЛИС), например, FPGA (field-programmable gate array). Используется и FPGA-майнинг, он менее эффективен, чем ASIC-майнинг. В ПЛИС пользователь сам может загружать аппаратную конфигурацию,

© Тюрин С.Ф., Каменских А.Н., Зобнина О.А., 2018

разработанную с помощью САПР, например, Квартус фирмы Альтера (сейчас Интел). На практических занятиях в ПГНИУ на кафедре МОВС и в ПНИПУ на кафедре АТ эта САПР используется с 2009 г.

Имеется и промежуточный, полузаказной вариант – так называемые базовые матричные кристаллы (БМК), когда конфигурацию можно загрузить только на заводе-изготовителе. В связи с известными трудностями развития электронной элементной базы в РФ для ответственных применений этот вариант на основе БМК серий 5503, 5507, 5521, 5528 и 5529 объемом от 650 до 1200000 условных вентилей пока является наиболее приемлемым [2–3]. На БМК строятся и так называемые самосинхронные схемы, разрабатываемые Институтом проблем информатики Российской академии наук Федерального исследовательского центра "Информатика и управление" Российской академии наук [4], сотрудничество с которым [5] продолжается уже почти четверть века.

Технологический центр федерального государственного автономного образовательного учреждения высшего образования "Национальный исследовательский университет "Московский институт электронной техники"" (ТЦ МИЭТ) разработал для синтеза на БМК отечественную САПР "Ковчег" (рис. 1) [1].


РОССИЙСКАЯ ФЕДЕРАЦИЯ

СВИДЕТЕЛЬСТВО

о государственной регистрации программы для ЭВМ

№ 2009615060

Система автоматизированного проектирования полузаказных микросхем «Ковчег»

Правообладатель(ли): Федеральное государственное учреждение «Научно-производственный комплекс «Технологический центр» Московского государственного института электронной техники» (RU)

Автор(ы): Коняхин Валерий Вячеславович, Гаврилов Сергей Владимирович, Денисов Андрей Николаевич (RU)

Заявка № 2009613974

Дата поступления 23 июля 2009 г.

Зарегистрировано в Реестре программ для ЭВМ 16 сентября 2009 г.

Руководитель Федеральной службы по интеллектуальной собственности, патентам и товарным знакам Б.П. Симонов

Рис. 1. *Свидетельство на САПР "Ковчег"*

САПР БИС "Ковчег" имеет учебную версию, ориентированную на использование в учебных заведениях и позволяющую проводить полный цикл разработки специализированных БИС БМК серии 5503. В рамках сотрудничества с ТЦ МИЭТ Ковчег и внедряется в учебный процесс.

1. Пример подготовки данных для САПР "Ковчег" на практическом занятии

Пусть необходимо реализовать следующее автоматное отображение, заданное номером функции (у каждого студента – свой вариант номера функции), допустим, 232 (рис. 2).

Переменные			ВС	*f(abc)*	
a	b	c			
0	0	0	0	0	2^0
0	0	1	1	0	2^1
0	1	0	2	0	2^2
0	1	1	3	1	2^3
1	0	0	4	0	2^4
1	0	1	5	1	2^5
1	1	0	6	1	2^6
1	1	1	7	1	2^0

Рис. 2. *Таблица истинности функции № 232*

Заданная функция № 232 минимизируется, например, по кубу соседних чисел (решетке Хассе) (рис. 3).

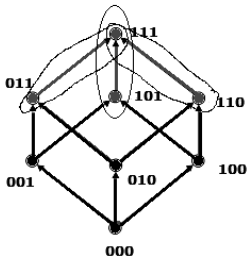


Рис. 3. *Минимизация функции № 232, рабочие (единичные) наборы – светлые вершины, запрещенные наборы (нулевые) – темные вершины*

Таким образом, получаем покрытие

$$(011_2 \vee 111_2) \vee (101_2 \vee 111_2) \vee (110_2 \vee 111_2) \Leftrightarrow$$
$$(3 \vee 7) \vee (5 \vee 7) \vee (6 \vee 7)$$

и функцию

$$f(abc) = ab \vee bc \vee ac. \qquad (1)$$

Это совершенно замечательная мажоритарная функция (Majority Function), она же функция переноса двоичного полного сумматора. Функция (1) равна единице (истинна) в случае, если в наборе единиц больше, чем нулей, что позволяет ее использовать в так называемых "мажоритарах" (Majority Vote Circuit) отказо- и сбоеустойчивых (Fault Tolerance) вычислительных систем [6].

Так, один отказ (сбой) не приведет к ошибке вычислений, к отказу или сбою всей резервированной (троированной, Triple Module Redundancy) системы [6].

Представим функцию (1) в базисе И-НЕ:

$$f(abc) = \overline{\overline{ab \vee bc \vee ac}} = \overline{(\overline{ab})(\overline{bc})(\overline{ac})}. \quad (2)$$

Далее получают схему заданного номером функции логического автомата в символах международного стандарта, она имеет вид (рис. 4).

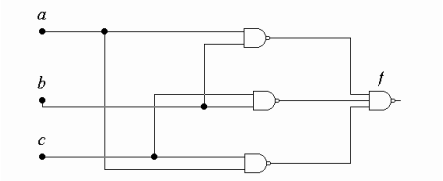


Рис. 4. *Схема реализации функции № 232*

Эта схема строится в САПР "Ковчег".

2. Создание проекта в САПР "Ковчег"

Запускается приложение Kovcheg (ярлык показан на рис. 5).



Рис. 5. *Ярлык приложения Kovcheg*

После чего откроется окно приложения (рис. 6).

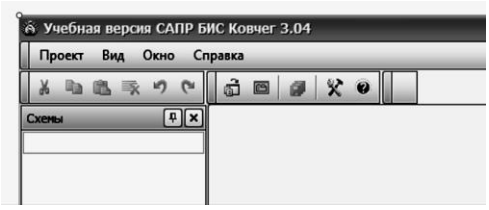


Рис. 6. *Рабочее окно Kovcheg*

Затем создается новый проект. Для этого в меню "Проект" необходимо выбрать пункт "Новый проект" (рис. 7, 8).

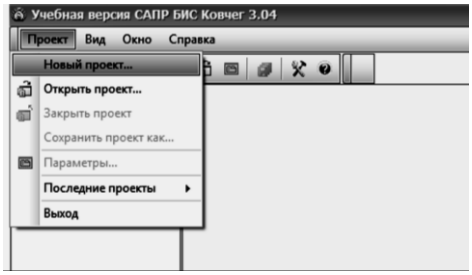


Рис. 7. *Выбор меню создания нового проекта*

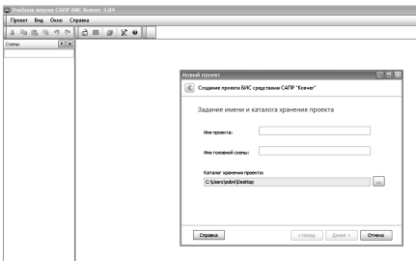


Рис. 8. *Начало создания проекта*

Для создания схемы используется инструмент "Одиночный порт", в котором задаются входы и выходы (рис. 9).

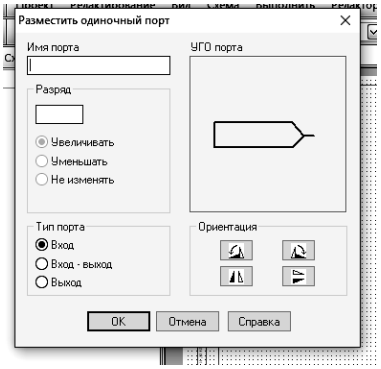


Рис. 9. *Выбор порта*

Далее выбираются логические элементы (ячейки) и помещаются на наборном поле (рис. 10).

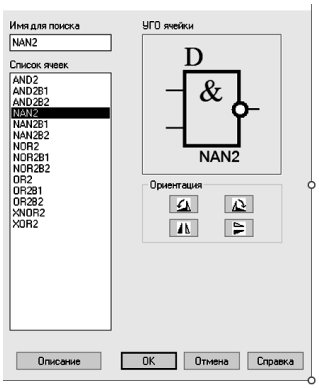


Рис. 10. *Выбор элемента 2 И-НЕ (NAN2)*

В результате получается вот такая схема логического автомата (рис. 11).

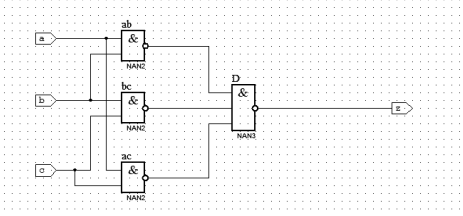


Рис. 11. *Завершенная схема логического автомата*

Теперь выполняется команда "Трансляция схемы". Если все было сделано правильно, САПР выдаст следующее сообщение (рис. 12).

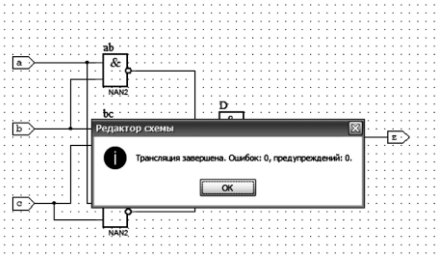


Рис. 12. *Сообщение об успешной трансляции проекта*

3. Моделирование

Теперь необходимо проверить реализацию заданного автоматного отображения. Выполняем команду "Тесты" для того чтобы в дальнейшем получить временную диаграмму работы автомата. Необходимо записать столбец каждой переменной через запятую (рис. 13).

```
1   DEFAULT_TEST;
2
3   DEFAULT_TEST:
4   a = 0,0,0,0,1,1,1,1;
5   b = 0,0,1,1,0,0,1,1;
6   c = 0,1,0,1,0,1,0,1;
7   z = h;
8
```

Рис. 13. *Тест для заданной функции*

После написания теста необходимо произвести проверку нажав "Трансляция теста". После проверки должно появиться окно, которое сообщит о количестве ошибок или же их отсутствии (рис. 14).

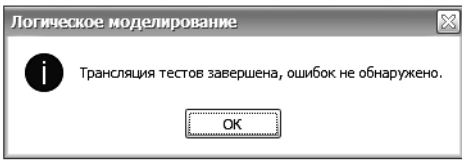


Рис. 14. *Проверка правильности написания теста*

Далее студенты приступают к моделированию. На панели команд выбирают "Моделирование", далее команду "Моделировать". Временная диаграмма имеет вид (рис. 15).

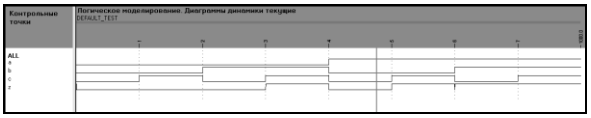


Рис. 15. *Временная диаграмма*

Видим, что реализуется заданное автоматное отображение 00010111, и это функция $f(abc)_{132}$!

Выводы

Импортозамещение затрагивает не только разработку электронной компонентной базы, но и обучение. Повышение спроса на отечественную электронику приводит к повышению спроса на специалистов, способных выполнять ее проектирование и изготовление, а для этого необходимо использовать отечественное ПО. САПР "Ковчег" имеет учебную версию, доступную для скачивания на сайте разработчика. В статье был представлен пример использования САПР "Ковчег" на практических занятиях по дисциплинам "Математическая логика", "Алгоритмы и анализ сложности", "Дискретная математика", "Схемотехника" и др.

В качестве других возможных путей использования САПР "Ковчег" в научно-исследовательской работе студентов, магистров и аспирантов можно указать использование программирования на языках описания аппаратуры, например VHDL, а также расширение функциональных возможностей, например путем введения синтеза по графу автомата, имеющегося в САПР КвартусII. В качестве положительного примера можно указать выпускников кафедры МОВС П.В. Гладышеву [7], П.С. Шучалова. [8], Д.Р. Валеева [9]. К примеру, работа Д.Р. Валеева фактически обеспечивает возможность расширения опций САПР QuartusII путем добавления синтеза автомата по схеме алгоритма, что может быть выполнено и для приложения "Ковчег".

Список литературы

1. *Сайт* микросхем заказных и полузаказных больших интегральных схем ASIC. URL: http://asic.ru (дата обращения: 27.04.18).
2. *Гаврилов С.В., Денисов А.Н., Коняхин В.В., Макарцева М.М.* САПР "Ковчег 3.0" для проектирования микросхем на БМК серий 5503, 5507, 5521 и 5529. М.: 2013. 295 с.
3. *Денисов А.Н., Фомин Ю.П., Коняхин В.В., Федоров Р.А.* Библиотека функциональных ячеек для проектирования полузаказных микросхем серий 5503 и 5507 / под общ. ред. А.Н. Саурова. М: Техносфера, 2012. 304 с.
4. *Степченков Ю.А., Денисов А.Н., Дьяченко Ю.Г., Гринфельд Ф.И., Филимоненко О.П.,*

Морозов Н.В., Степченков Д.Ю. Библиотека элементов для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507 М.: ИПИ РАН, 2014. 296 с.
5. *Партнеры* отдела 22 ИПИ РАН по разработке самосинхронной схемотехники. URL: http://selftiming.ru/partners/ (дата обращения: 27.04.18).
6. *Carl Carmichael*. Triple Module Redundancy Design Techniques for Virtex FPGAs. Available at: https://www.xilinx.com/support/documentation/application_notes/xapp197.pdf (accessed 30.04.2018).
7. *Гладышева П.В.* Разработка программы автоматизированного синтеза цифровых комбинационных схем в функционально-полном толерантном базисе и в остаточных базисах. Выпускная работа. Пермь: ПГУ, 2010. 102 с.
8. *Шучалов П.С.* Разработка программы автоматизированного синтеза цифровых комбинационных схем в функционально-полном толерантном базисе. Выпускная работа. Пермь: ПГУ, 2011. 96 с.
9. *Валеев Д.Р.* Программа автоматизированного синтеза комбинационной схемы по заданной схеме алгоритма // Автоматизированные системы управления и информационные технологии: сб. докл. всеросс. науч.-техн. конф. (г. Пермь, 15 мая 2015 г.). Пермь, 2015. С. 150–157.

Using the domestic CAD "Ark" in the educational process

S. F. Tyurin
Perm National Research Polytechnic University; 29, Komsomolsky prospekt, Perm, 614990, Russia
Perm State University; 15, Bukireva st., Perm, 614990, Russia
tyurinsergfeo@yandex.ru; +7 952-320-02-510

A. N. Kamenskih
Perm National Research Polytechnic University; 29, Komsomolsky prospekt, Perm, 614990, Russia
antoshkinoinfo@yandex.ru; +7-902-64-125-45

O. A. Zobnina
Perm National Research Polytechnic University; 29, Komsomolsky prospekt, Perm, 614990, Russia

The article deals with the possibilities of using the domestic CAD "Ark" in practical classes on disciplines Mathematical logic, Algorithms and complexity analysis, Discrete mathematics, Circuitry. The system was developed in the technical center of the Moscow Institute of Electronic Technology and is focused on semi-sales of digital devices based on Uncommitted Logic Array (ULA). The urgent need for its introduction in the educational process is caused by the most important tasks of import substitution of the electronic element base and the requirements of using domestic software. The paper considers an example of the synthesis of a simple finite state machine which can be used in practical and laboratory studies, as well as in the independent work of students.

Keywords: *finite state machine; CAD, modeling; Uncommitted Logic Array.*