

УДК 681.32

С.Ф. Тюрин

Пермский национальный исследовательский политехнический университет,
Пермь, Россия

Пермский государственный национальный исследовательский университет,
Пермь, Россия

РЕЗЕРВИРОВАННЫЙ МАЖОРИТАРНЫЙ ЭЛЕМЕНТ

Введение избыточности – один из самых эффективных методов обеспечения надёжности, отказоустойчивости, сбоеустойчивости. Активная отказо- и сбоеустойчивость предполагает наличие устройства голосования по большинству голосов. В случае троирования это устройство называют мажоритарным элементом. Отказ (сбой) в одном из трёх каналов парируется или маскируется (т.е. «не замечается») системой, при этом необходимы три источника питания. Для парирования отказов в самом мажоритарном элементе, вычисляющем логическую функцию голосования по большинству единиц, используются три мажоритара, выдающих информацию в следующие три канала. Если же это конечное устройство, например, формирующее управляющее воздействие на исполнительные механизмы, имеющие только один контур управления, то приходится использовать один мажоритар. Поэтому к отказо- и сбоеустойчивости мажоритарных органов предъявляются особые требования. Предполагается, что его вероятность безотказной (бессбойной) работы намного выше вероятности безотказной (бессбойной) работы канала аппаратуры. Иногда вероятность безотказной (бессбойной) работы мажоритара приравнивают к единице, что, конечно, является преувеличением. В качестве мажоритара часто используют КМОП-схему, содержащую 12 транзисторов. При этом 6 транзисторов реализуют подсхему подключения «+» источника питания и 6 транзисторов реализуют подсхему подключения шины «ноль вольт», поскольку сложность соответствующей скобочной формы логической функции равна 5 и 2 транзистора – это инвертор. Уменьшение сложности мажоритара возможно только путем использования схемы на передающих транзисторах. В статье исследуется имеющаяся в литературе схема мажоритара на 6 передающих транзисторах (pass transistors).

Цель работы – анализ и моделирование схемы мажоритара на 6 передающих транзисторах, разработка и оценка эффективности резервированной схемы.

Ключевые слова: надёжность, мажоритарная функция, передающий транзистор, вероятность безотказной работы.

S.F. Tyurin

Perm National Research Polytechnic University, Perm, Russian Federation
Perm State National Research University, Perm, Russian Federation

MAJORITY VOTE CIRCUIT WITH REDUDANCY

The introduction of redundancy is one of the most effective methods of ensuring reliability, fault tolerance. Active reliability implies the presence of a voting device by the majority of votes. In the case of tripling, this device is called the majority element (Majority Voter). Failure (error) in one of the three channels is parried or masked (that is, "not noticed") by the system, and this requires three power supplies. For parrying failures in the most majority element, which calculates the logical function of voting for most units, three majority elements are used, giving information to the next three channels. If, however, this final de-

vice, for example, shaping the control effect on actuators having only one control loop, then one majority element must be used. Therefore, special demands are placed on the fault tolerance of the majority elements. It is assumed that its probability of failure-free operation is much higher than the probability of trouble-free operation of the channel of equipment. Sometimes even the probability of trouble-free operation of the majoritarian is equated to unity, which, of course, is an exaggeration. As a majority, a CMOS circuit containing 12 transistors is often used. In this case, 6 transistors realize the subcircuit of connection of the "+" power supply and 6 transistors realize the subcircuit of the bus connection "zero volts", since the complexity of the corresponding bracket form of the logic function is 5 and 2 of the transistor is an inverter. Reducing the complexity of the majority is possible only by using a circuit on the pass transistors. The article examines the majority scheme found in the literature on 6 pass transistors.

Objective: The analysis and modeling of the majority element on 6 pass transistors, development and evaluation of the efficiency of the redundant circuit.

Keywords: Reliability, Majority Vote Function, Pass Transistors, Failure-free operation probability.

Введение. Мажоритарная функция – это то же самое, что и функция переноса полного сумматора [1, 2], её ещё называют функцией голосования «2 из 3» (табл. 1).

Таблица 1
Функция голосования «2 из 3»

A	B	C	F(ABC)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Соответствующая табл. 1 минимизированная логическая функция имеет вид:

$$F(ABC) = AB \vee AC \vee BC. \quad (1)$$

Упрощённая структурная схема надёжности троированной системы (Triple Module Redundancy) [3–6], состоящей из каналов A , B , C ($A = B = C$) и мажоритарного элемента изображена на рис. 1.

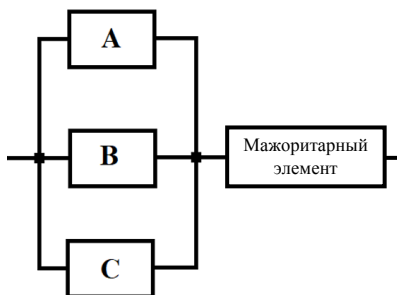


Рис. 1. Упрощённая структурная схема надёжности троированной системы

На самом деле отказ или сбой в одном и только одном из 3 идентичных однобитных каналов A , B , C (в том числе и отказ соответствующего блока питания канала) не приведёт к отказу всей троированной системы, например:

$$\begin{aligned}
 AB \vee AC \vee BC &\Rightarrow (1B \vee 1C \vee BC) \& (A = B = C) \Rightarrow (1A \vee 1A \vee AA) \Rightarrow A; \\
 (0B \vee 0C \vee BC) \& (A = B = C) &\Rightarrow (0A \vee 0A \vee AA) \Rightarrow A; \\
 (\bar{A}B \vee \bar{A}C \vee BC) \& (A = B = C) &\Rightarrow (\bar{A}A \vee \bar{A}A \vee AA) \Rightarrow A; \\
 (XB \vee XC \vee BC) \& (A = B = C) &\Rightarrow (XA \vee XA \vee AA) \Rightarrow A.
 \end{aligned}
 \tag{2}$$

Однако при отказе в двух каналах, например A и B , возникает отказ всей системы:

$$AB \vee AC \vee BC \Rightarrow (11 \vee 1C \vee 1C) = 1. \tag{3}$$

Выражения (2) и (3) предполагают отсутствие отказов (сбоев) в самом мажоритарном элементе (мажоритаре). Иначе ставят три мажоритарных элемента (рис. 2).

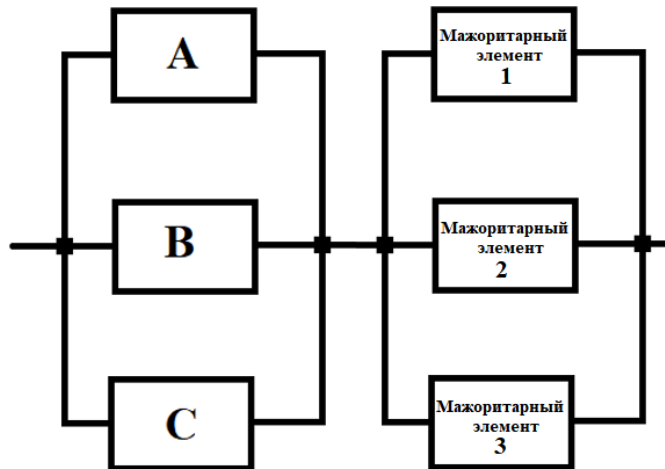


Рис. 2. Упрощённая структурная схема надёжности троированной системы с тремя мажоритарами

Такая схема (см. рис. 2) парирует отказ (сбой) одного из каналов и (или) одного мажоритарного элемента. В связи с этим вызывают интерес анализ схемы мажоритарного элемента и оценка его надёжности, а также вопросы её повышения.

КМОП-схема мажоритарного элемента. Для реализации мажоритарного элемента с инверсией на КМОП-транзисторах выражение

(1) может быть использовано для подключения шины «Ноль вольт» подсхемой из транзисторов n проводимости. Причём преобразование к скобочной форме позволяет сэкономить один транзистор:

$$F(ABC) = AB \vee C(A \vee B). \quad (4)$$

Выражение (4) имеет сложность 5 против выражения (1), имеющего сложность 6. Для подключения шины «+» источника питания подсхемой из транзисторов p проводимости используется двойственная функция – инверсия выражения (1):

$$\begin{aligned} \overline{F(ABC)} &= \overline{AB \vee AC \vee BC} = (\overline{A} \vee \overline{B})(\overline{A} \vee \overline{C})(\overline{B} \vee \overline{C}) = \\ &= (\overline{A} \vee \overline{BC})(\overline{B} \vee \overline{C}) = \overline{AB} \vee \overline{AC} \vee \overline{BC} \vee \overline{BC} = \overline{AB} \vee \overline{AC} \vee \overline{BC} = \overline{AB} \vee \overline{C}(\overline{A} \vee \overline{B}). \end{aligned} \quad (5)$$

Видим, что структура выражения (5) повторяет структуру выражения (4), что связано с самодвойственностью мажоритарной функции. Действительно, в табл. 1 значения функции на ортогональных наборах инверсны. КМОП-схема мажоритарного элемента (мажоритара) с инверсией изображена на рис. 3.

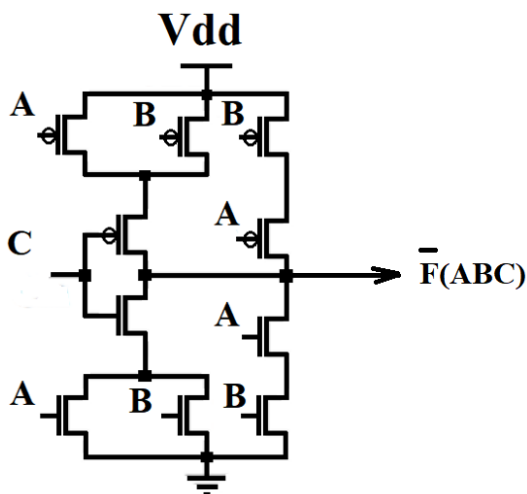


Рис. 3. КМОП-схема мажоритарного элемента с инверсией

С учётом необходимости дополнительного инвертора получаем сложность $10 + 2 = 12$ транзисторов. Заметим, что отказ даже одного любого транзистора в схеме на рис. 3 приводит к отказу всей троированной системы.

Схема мажоритарного элемента с использованием передающих транзисторов. Схема реализации функции переноса полного сумматора

[7–12] на основе 6 передающих транзисторов [7], которая может быть использована как мажоритарный элемент, изображена на рис. 4.

Получим промежуточную функцию Z [7]:

$$Z(A, B) = \overline{A} \vee \overline{B} \vee AB \vee BA = \overline{A} \vee \overline{B} \vee AB = \overline{AB} \vee AB = A \oplus B. \quad (6)$$

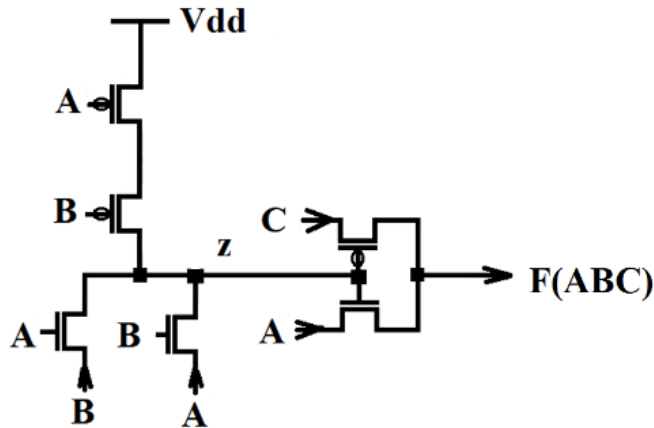


Рис. 4. Мажоритар на передающих транзисторах

Это NXOR – инверсия исключающего ИЛИ двух переменных A, B . В (6) нужны обе конъюнкции $AB \vee BA$, ибо в схеме на рис. 4 в точке Z потенциал обеспечивается как сигналом A , так и сигналом B . В таком случае получаем:

$$\begin{aligned} F(ABC) &= (A \oplus B)C \vee (\overline{A \oplus B})A = \overline{A} \overline{B} C \vee \overline{A} B C \vee AB = \\ &= \overline{A} \overline{B} C \vee \overline{A} B C \vee AB(C \vee \overline{C}) = \overline{A} \overline{B} C \vee \overline{A} B C \vee ABC \vee AB \overline{C}. \end{aligned} \quad (7)$$

Выражения (6), (7) описываются табл. 2.

Таблица 2

Значения выражений (6),(7)

A	B	C	z	F(ABC)
0	0	0	1	A=0
0	0	1	1	A=0
0	1	0	A=0	C=0
0	1	1	A=0	C=1
1	0	0	B=0	C=0
1	0	1	B=0	C=1
1	1	0	A=B=1	A=1
1	1	1	A=B=1	A=1

Моделирование в системе схемотехнического моделирования NI Multisim 10 фирмы National Instruments Electronics Workbench Group [13] подтверждает правильность функционирования мажоритара (рис. 5–8).

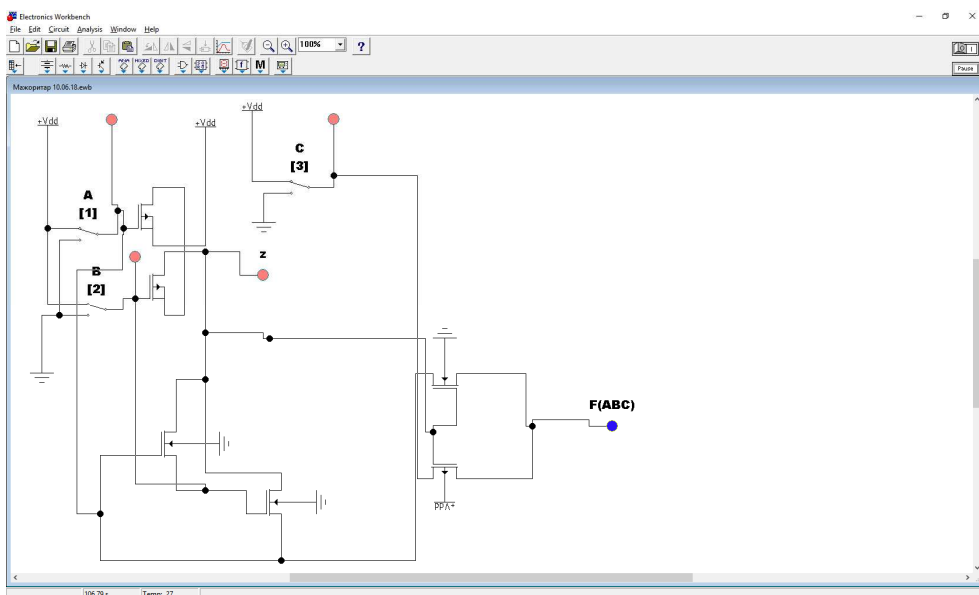


Рис. 5. Моделирование шеститранзисторной схемы мажоритара на наборе 111

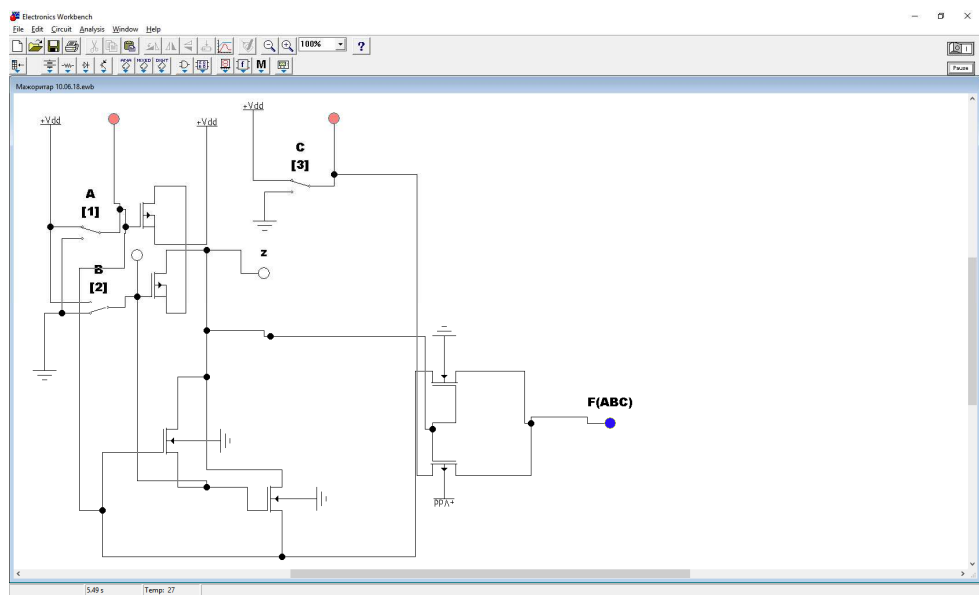


Рис. 6. Моделирование шеститранзисторной схемы мажоритара на наборе 101

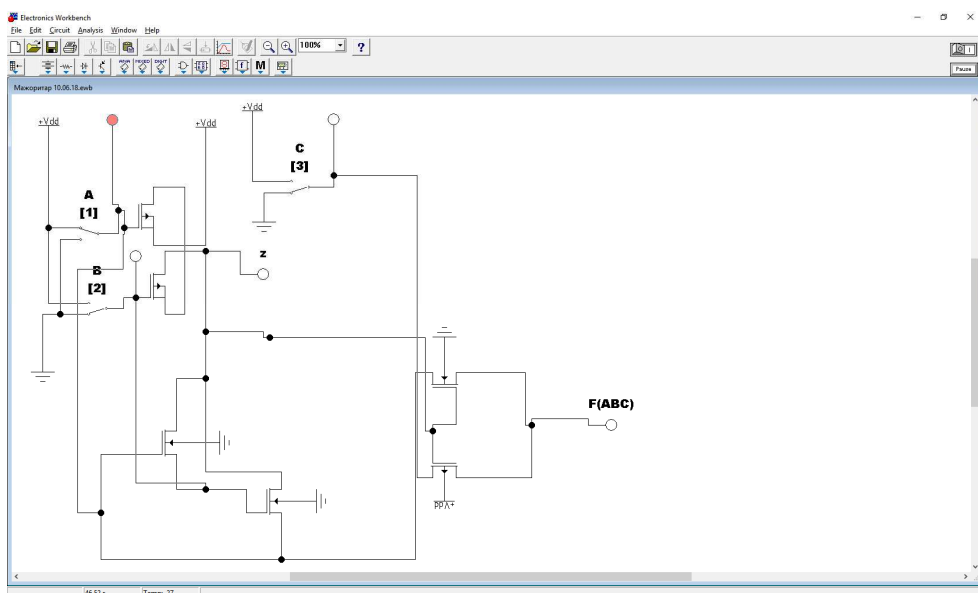


Рис. 7. Моделирование шеститранзисторной схемы мажоритара на наборе 100

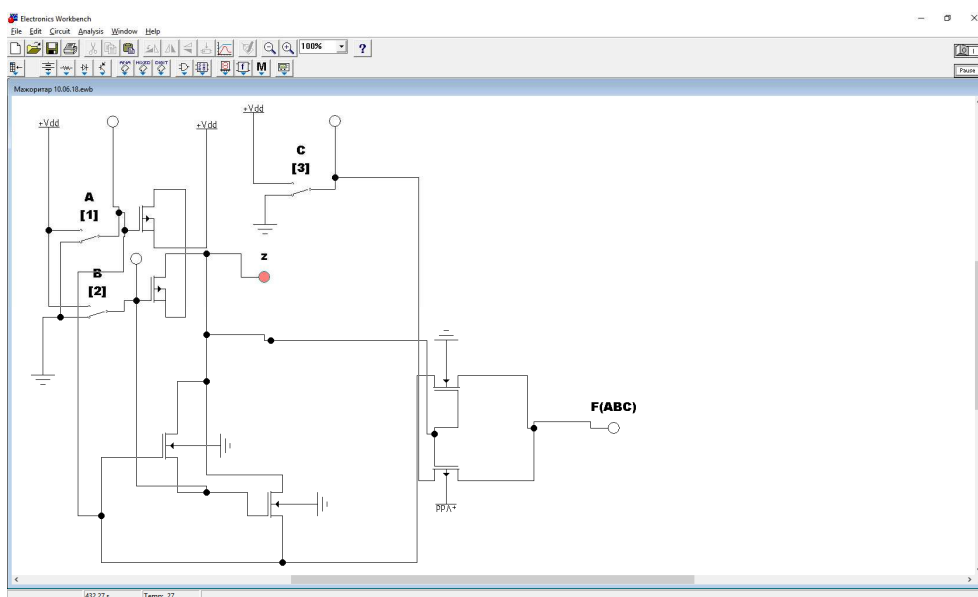


Рис. 8. Моделирование шеститранзисторной схемы мажоритара на наборе 000

Моделирование на остальных наборах также подтверждает правильность работы схемы.

Резервированный мажоритарный элемент с использованием передающих транзисторов. Детальная структурная схема надёжности

трёхканальной системы показывает, что отказ наступает в случае отказа только в одном канале (рис. 9).

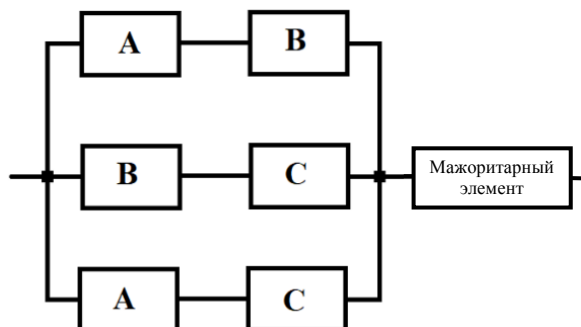


Рис. 9. Детальная структурная схема надёжности троированной системы

Для распределения Вейбулла [14] вероятность безотказной работы одного канала, например A , выражается формулой:

$$e^{-\lambda_A \cdot t^\alpha}, \quad (8)$$

где λ – интенсивность отказов (размерность $1/\text{ч}$), t – время в часах, α – коэффициент Вейбулла, $1 < \alpha < 2$.

Интенсивность отказов можно оценивать по количеству транзисторов. Если в канале n транзисторов, то получим $n\lambda$. С учётом сложности мажоритара получаем вероятность безотказной работы для структуры, изображённой на рис. 9:

$$P = (3 \cdot e^{-2 \cdot (n) \cdot \lambda \cdot t^\alpha} - 2 \cdot e^{-3 \cdot (n) \cdot \lambda \cdot t^\alpha}) e^{-12 \cdot \lambda \cdot t^\alpha}. \quad (9)$$

Детальная структурная схема надёжности трёхканальной системы с тремя мажоритарами изображена на рис. 10.

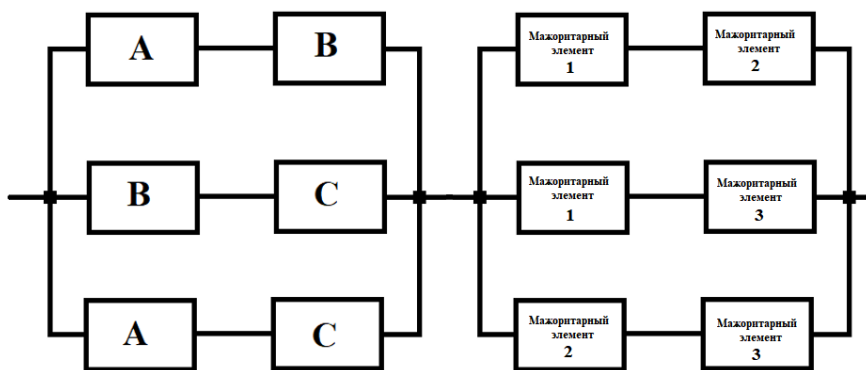


Рис. 10. Детальная структурная схема надёжности троированной системы с тремя мажоритарами

Поэтому получаем с учётом КМОП-мажоритара:

$$P_* = \left(3 \cdot e^{-2 \cdot (n) \cdot \lambda \cdot t^\alpha} - 2 \cdot e^{-3 \cdot (n) \cdot \lambda \cdot t^\alpha} \right) \left(3 \cdot e^{-2 \cdot (12) \cdot \lambda \cdot t^\alpha} - 2 \cdot e^{-3 \cdot (12) \cdot \lambda \cdot t^\alpha} \right). \quad (10)$$

Предлагаемое резервирование мажоритара описывает детальная структурная схема надёжности, изображенная на рис. 11.

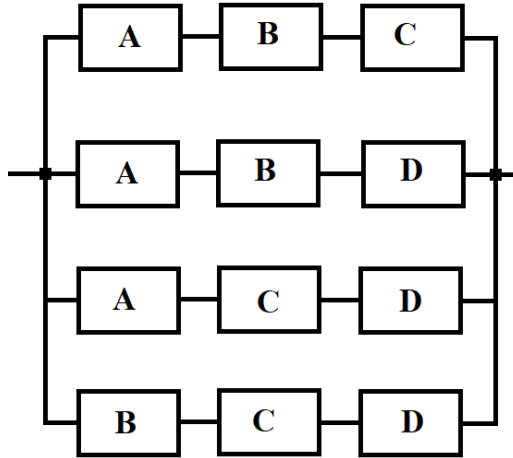


Рис. 11. Детальная структурная схема надёжности троированной системы с тремя мажоритарами

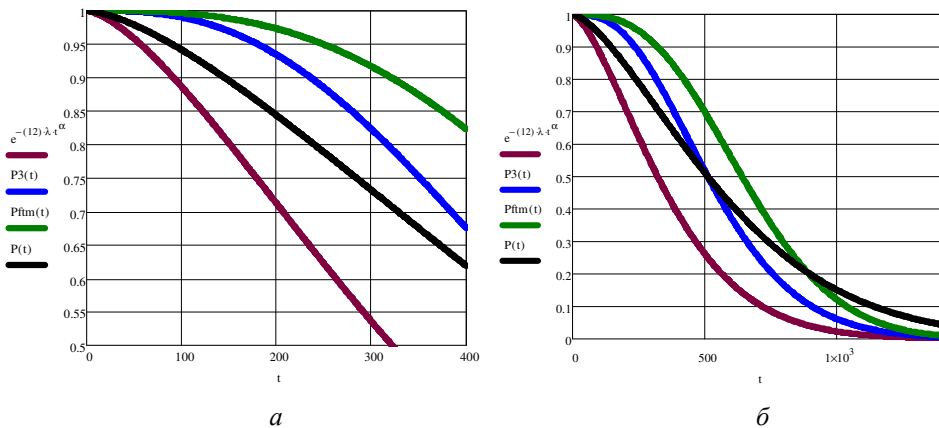


Рис. 12. Графики изменения вероятности безотказной (бессбойной)

работы мажоритара без резервирования $e^{-(12) \cdot \lambda \cdot t^\alpha}$, вероятности безотказной (бессбойной) работы шеститранзисторного мажоритара $P(t)$, троированного мажоритара P_3 и резервированного мажоритара P_{fjm} при интенсивности отказов (сбоев) одного транзистора $\lambda = 10^{-5}$ 1/ч, $\alpha = 1,5$: в диапазоне от 1 до 0,5 (а); в диапазоне вероятностей от 1 до 0 (б)

Сравним вероятность безотказной работы мажоритарара с предлагаемым резервированием [15–20], описываемым выражением

$$P(t)_{ftr} = [e^{-4 \cdot \lambda \cdot t^\alpha} + 4 \cdot e^{-3 \cdot \lambda \cdot t^\alpha} (1 - e^{-\lambda \cdot t^\alpha})]^n, \quad (11)$$

с вероятностью безотказной работы мажоритарара, изображённого на рис. 3 $e^{-(12) \cdot \lambda \cdot t^\alpha}$, и вероятностью безотказной работы мажоритарара, изображённого на рис. 4, $P(t) = e^{-(6) \cdot \lambda \cdot t^\alpha}$, а также с вероятностью безотказной работы троированного мажоритарара

$$P_3 = 3 \cdot e^{-2 \cdot (6) \cdot \lambda \cdot t^\alpha} - 2 \cdot e^{-3 \cdot (6) \cdot \lambda \cdot t^\alpha}. \quad (12)$$

Получим графики, изображённые на рис. 12.

Выводы. Таким образом, моделирование схемы на основе 6 передающих транзисторов в системе схемотехнического моделирования National Instruments Electronics Workbench Group подтвердило реализацию ею мажоритарной функции. Вероятность безотказной работы такой схемы существенно выше вероятности безотказной работы КМОП-схемы мажоритарара. Предлагаемый резервированный мажоритар (24 транзистора) существенно превосходит троированную схему (18 транзисторов для схемы с передающими транзисторами и 36 – КМОП), однако такой подход может быть применён не для всех КМОП-схем в связи с ограничениями Мида–Конвей [21].

Библиографический список

1. Библиотека элементов для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507 / Ю.А. Степченков, А.Н. Денисов, Ю.Г. Дьяченко, Ф.И. Гринфельд, О.П. Филимоненко, Н.В. Морозов, Д.Ю. Степченков. – М.: ИПИ РАН, 2014. – 296 с.
2. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие. – 2-е изд., пер. и доп. – СПб.: БХВ-Петербург, 2007. – 782 с.
3. Carl Carmichael. Triple Module Redundancy Design Techniques for Virtex FPGAs. – URL: https://www.xilinx.com/support/documentation/application_notes/xapp197.pdf (дата обращения: 20.03.2018).
4. ГОСТ 27.002-89. Надежность в технике Основные понятия. Термины и определения. – М.: Изд-во стандартов, 1990. – 42 с.
5. Шубинский И.Б. Надежные отказоустойчивые информационные системы. Методы синтеза. – М., 2016. – 544 с.

6. Васильев Н.П., Шубинский И.Б. Аналитическая оценка вероятности успешной адаптации к отказам модульных вычислительных систем с многоуровневой активной защитой // Известия высших учебных заведений. Приборостроение. – 1994. – Т. 37, № 3–4. – С. 47.

7. Jie Han, Michael Orshansky. Approximate Computing: An Emerging Paradigm for Energy-Efficient Design [Электронный ресурс]. – URL: <http://users.ece.utexas.edu/~michael/ETS2013.pdf> (дата обращения: 06.06.2018).

8. A new design 6T Full Adder Circuit using Novel 2T XNOR Gates [Электронный ресурс] / Krishna Chandra, Rajeev Kumar, Shashank Uniyal, Vishal Ramola. – URL: <http://docplayer.net/51583450-A-new-design-6t-full-adder-circuit-using-novel-2t-xnor-gates.html> (дата обращения: 12.06.2018).

9. EE241 – Spring 2005 Advanced Digital Integrated Circuits [Электронный ресурс]. – URL: <https://pdfs.semanticscholar.org/presentation/5a62/26d5adb99402d82bc7db36b03f8a55d58840.pdf> (дата обращения: 12.06.2018).

10. A probabilistic CMOS switch and its realization by exploiting noise / S. Cheemalavagu, P. Korkmaz, K.V. Palem, B.E.S. Akgul, L.N. Chakrapani // Proc. IFIP-VLSI SoC. – Oct. 2005. – P. 452–457.

11. Probabilistic arithmetic and energy efficient embedded signal processing / J. George, B. Marr, B.E.S. Akgul, K.V. Palem // Proc. Intl. Conf. on Compilers, architecture and synthesis for embedded systems (CASES). – 2006. – P. 158–168.

12. Modeling and synthesis of quality-energy optimal approximate adders / J. Miao, K. He, A. Gerstlauer, M. Orshansky // Proc. ICCAD. – 2012. – P. 728.

13. Сайт разработчика National Instruments [Электронный ресурс]. – URL: <http://www.ni.com/multisim/> (дата обращения: 22.05.2018).

14. Weibull W. A statistical distribution function of wide applicability // J. Appl. Mech.-Trans. ASME. – 1951. – № 18(3). – P. 293–297.

15. Grekov A.V., Tyurin S.F. Fault tolerant logic cell FPGA // Proceedings of the 2017 IEEE Russia Section Young Researchers in Electrical and Electronic Engineering Conference, ElConRus, 2017, 7910548. – P. 287–290.

16. Тюрин С.Ф. Статическая оперативная память на основе отказоустойчивой ячейки базового матричного кристалла // Вестник Пермского национального исследовательского политехнического

университета. Электротехника, информационные технологии, системы управления. – 2016. – № 1(17). – С. 16–27.

17. Тюрин С.Ф. Радиационно-устойчивая ячейка SRAM // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2014. – № 4(12). – С. 14–30.

18. Тюрин С.Ф., Прохоров А.С. Отказоустойчивая программируемая логическая матрица // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2017. – № 23. – С. 45–58.

19. Тюрин С.Ф., Каменских А.Н. Мажоритарное устройство: пат. Рос. Федерация № 2580080; опубл. 10.04.2016. Бюл. №10.

20. Тюрин С.Ф. Ячейка статической оперативной памяти: пат. Рос. Федерация № 2573226; опубл. 20.01.2016. Бюл. №2.

21. Carver A. Mead, Lynn Conway. Introduction to VLSI Systems [Электронный ресурс]. – URL: <https://ru.scribd.com/document/1045-10240/VLSI-Introduction-to-VLSI-Systems-Mead-amp-Conway> (дата обращения: 19.03.2018).

References

1. Stepchenkov Iu.A., Denisov A.N., D'iachenko Iu.G., Grinfel'd F.I., Filimonenko O.P., Morozov N.V., Stepchenkov D.Iu. Biblioteka elementov dlia proektirovaniia samosinkhronnykh poluzakaznykh BMK mikroskhem serii 5503/5507 [Library of elements for design of self-synchronous semi-custom BMK of chips of series 5503/5507]. Moscow: Institut problem informatiki Rossiiskoi akademii nauk, 2014. 296 p.

2. Ugriumov E.P. Tsifrovaia skhemotekhnika [Digital circuit engineering]. 2nd ed. Saint Petersburg: BKhV-Peterburg, 2007. 782 p.

3. Carl Carmichael. Triple Module Redundancy Design Techniques for Virtex FPGAs, available at: https://www.xilinx.com/support/documentation/application_notes/xapp197.pdf (accessed 20 March 2018).

4. GOST 27.002-89. Nadezhnost' v tekhnike Osnovnye poniatia. Terminy i opredeleniia [Reliability in the equipment the Basic concepts. Terms and definitions]. Moscow: Izdatel'stvo standartov, 1990. 42 p.

5. Shubinskii I.B. Nadezhnye otkazoustoichivye informatsionnye sistemy. Metody sinteza [Reliable failure-safe information systems. Synthesis methods]. Moscow, 2016. 544 p.

6. Vasil'ev N.P., Shubinskii I.B. Analiticheskaya otsenka veroiatnosti uspekhov adaptatsii k otkazam modul'nykh vychislitel'nykh sistem s mnogourovnevnoi aktivnoi zashchitoy [Analytical assessment of probability of successful adaptation to failures of modular computing systems with multilevel active protection]. *Izvestiya vysshikh uchebnykh zavedenii. Priborostroenie*, 1994, vol. 37, no. 3-4, P. 47.

7. Jie Han, Michael Orshansky. Approximate Computing: An Emerging Paradigm for Energy-Efficient Design, available at: <http://users.ece.utexas.edu/~michael/ETS2013.pdf> (accessed 06 June 2018).

8. Chandra Krishna, Kumar Rajeev, Uniyal Shashank, Ramola Vishal. A new design 6T Full Adder Circuit using Novel 2T XNOR Gates, available at: <http://docplayer.net/51583450-A-new-design-6t-full-adder-circuit-using-novel-2t-xnor-gates.html> (accessed 12 June 2018).

9. EE241 - Spring 2005 Advanced Digital Integrated Circuits, available at: <https://pdfs.semanticscholar.org/presentation/5a62/26d5adb99402d82bc7db36b03f8a55d58840.pdf> (accessed 12 June 2018).

10. Cheemalavagu S., Korkmaz P., Palem K.V., Akgul B.E.S., Chakrapani L.N. A probabilistic CMOS switch and its realization by exploiting noise. *Proc. IFIP-VLSI SoC*. October 2005, pp. 452-457.

11. George J., Marr B., Akgul B.E.S., Palem K.V. Probabilistic arithmetic and energy efficient embedded signal processing. *Proc. Intl. Conf. on Compilers, architecture and synthesis for embedded systems (CASES)*, 2006, pp. 158-168.

12. Miao J., He K., Gerstlauer A., Orshansky M. Modeling and synthesis of quality-energy optimal approximate adders. *Proc. ICCAD*, 2012. P. 728.

13. Sait razrabotchika National Instruments [National Instruments Developer Site], available at: <http://www.ni.com/multisim/> (accessed 22 May 2018).

14. Weibull W. A statistical distribution function of wide applicability. *J. Appl. Mech.-Trans. ASME*, 1951, no. 18(3), pp. 293-297.

15. Grekov A.V., Tyurin S.F. Fault tolerant logic cell FPGA. *Proceedings of the 2017 IEEE Russia Section Young Researchers in Electrical and Electronic Engineering Conference. ElConRus*, 2017, 7910548, pp. 287-290.

16. Tiurin S.F. Staticheskaya operativnaya pamiat' na osnove otkazoustoichivoi iacheiki bazovogo matrichnogo kristalla [Static RAM based on a fault-tolerant cell of the base matrix crystal]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotehnika, informatsionnye tekhnologii, sistemy upravleniia*, 2016, no. 1(17), pp. 16-27.

17. Tiurin S.F. Radiatsionno-ustoichivaia iacheika SRAM [Radiation-resistant SRAM cell]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotekhnika, informatsionnye tekhnologii, sistemy upravleniia*, 2014, no. 4(12), pp. 14-30.

18. Tiurin S.F., Prokhorov A.S. Otkazoustoichivaia programmiruemaia logicheskaia matritsa [Fault-tolerant programmable logic matrix]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotekhnika, informatsionnye tekhnologii, sistemy upravleniia*, 2017, no. 23, pp. 45-58.

19. Tiurin S.F., Kamenskikh A.N. Mazhoritarnoe ustroistvo [Majority device]. Patent Rossiiskaia Federatsiia no. 2580080 (2016).

20. Tiurin S.F. Iacheika staticheskoi operativnoi pamiati [Cell of static random access memory]. Patent Rossiiskaia Federatsiia no. 2573226 (2016).

21. Carver A. Mead, Lynn Conway. Introduction to VLSI Systems, available at: <https://ru.scribd.com/document/104510240/VLSI-Introduction-to-VLSI-Systems-Mead-amp-Conway> (accessed 19 March 2018).

Сведения об авторе

Тюрин Сергей Феофентович (Пермь, Россия) – заслуженный изобретатель Российской Федерации, доктор технических наук, профессор кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: tyurinsergfeo@yandex.ru), профессор кафедры «Математическое обеспечение вычислительных систем» Пермского государственного национального исследовательского университета (614990, Пермь, ул. Букирева, 15).

About the author

Tyurin Sergey Feofentovich (Perm, Russian Federation) – Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telemechanics, Electrical Engineering Faculty; Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: tyurinsergfeo@yandex.ru). Professor at the Department of Software Computing Systems, Faculty of Mechanics and Mathematics; Perm State National Research University (614990, Perm 15, Bukireva str.).

Получено 09.07.2018