

УДК 681.3

КМОП-РЕАЛИЗАЦИЯ ОБУЧАЕМОГО ПОРОГОВОГО ЛОГИЧЕСКОГО ЭЛЕМЕНТА

Часть 2: Результаты моделирования и реализуемость

В. Б. Мараховский^а, доктор техн. наук, профессор

^аСанкт-Петербургский государственный политехнический университет, Санкт-Петербург, РФ

Цель: показать возможность реализации в КМОП-технологии, использующей современные проектные нормы, аналого-цифрового порогового логического элемента, обучаемого сложным пороговым логическим функциям, и определить границы реализуемости. **Методы:** SPICE-моделирование процессов обучения порогового элемента сложным пороговым функциям и процессов поддержания его элементов аналоговой памяти в обученном состоянии. **Результаты:** показано, что для экспериментов по обучению порогового элемента в наибольшей степени подходят пороговые функции, представимые в виде схемы Горнера, так как они при высокой сложности обладают наиболее короткими проверочными последовательностями. Пороговый элемент, изготовленный в КМОП-технологии 0,18 мкм, в пределе может быть обучен любой пороговой функцией с порогом, не превышающим 144. К таким функциям относятся все пороговые функции 11 переменных и множество функций большего числа переменных. **Практическая значимость:** существенно расширены функциональные возможности обучаемого порогового элемента, который может быть использован в системах логического распознавания образов, а также при создании нового поколения нейрочипов.

Ключевые слова — искусственный нейрон, синапс, обучаемый пороговый логический элемент, алгоритм обучения, шаг обучения, КМОП-технология, пороговая логическая функция.

Введение

В первой части статьи [1] приведен проект аналого-цифрового обучаемого логического порогового элемента ТТЕ для исполнения в КМОП-технологии 0,18 мкм. Элемент ТТЕ может быть обучен реализации сложных пороговых функций большого числа переменных. Он содержит множество синапсов с элементами аналоговой памяти в виде конденсаторов, на которых накапливаются веса двоичных входных переменных; высокочувствительный β -компаратор, сравнивающий проводимости двух своих частей из n - и p -канальных транзисторов; три выходных усилителя с разными порогами срабатывания, два из которых с выходами F_{high} и F_{low} используются в процессе обучения, а с выхода F_{mid} третьего усилителя снимается значение реализуемой функции.

Обучение такого ТТЕ осуществляется путем накопления напряжений на конденсаторах синапсов, соответствующих весам входных двоичных переменных обучающей пороговой функции. Предложена [1] также структурная схема обучения ТТЕ и поддержания его аналоговых элементов памяти в обученном состоянии (обновление требуемых значений напряжений на конденсаторах синапсов). Она содержит, кроме самого ТТЕ, генератор последовательностей наборов значений переменных обучающей функции и последовательности Y значений самой функции, соответствующих этим наборам; компаратор, сравнивающий значения F_{high} и F_{low} со значениями Y функции (при обучении) или со значениями F_{mid} (при обновлении) и вырабатывающий

сигналы *Incr* (инкремент) или *Decr* (декремент); переключатель режима обучения на режим обновления.

Выбор функций для обучения ТТЕ

В экспериментах с обучением ТТЕ существует актуальная проблема, связанная с выбором функций для обучения, так как от этого выбора в немалой степени зависит время моделирования. Длительность экспериментов очень важна, поскольку часто может измеряться часами и даже днями. К функциям, выбранным для обучения, естественно предъявить следующие требования:

- они должны иметь короткую последовательность наборов значений переменных, проверяющих все возможные переключения значений функций;
- они должны обладать широким диапазоном весов переменных (иметь по возможности большое значение суммы весов переменных);
- функции заданного числа переменных должны иметь высокое значение порога.

Проблема выбора функций для экспериментов была рассмотрена в работе [2]. Было показано, что пороговые функции, которые могут быть представлены в виде схемы Горнера, удовлетворяют этим требованиям. Для таких функций последовательность целочисленных значений весов переменных и порога, обладающая минимальным значением их суммы, образует последовательность чисел Фибоначчи, а длина проверяющей последовательности функции, зависящей от n переменных, равна $n + 1$.

Существует два вида пороговых функций, представимых в виде схемы Горнера:

$$H_1(n) = x_n(x_{n-1} \vee x_{n-2}(x_{n-3} \vee x_{n-4}(\dots)));$$

$$H_2(n) = x_n \vee x_{n-1}(x_{n-2} \vee x_{n-3}(x_{n-4} \vee \dots)).$$

Назовем их функциями Горнера первого и второго вида соответственно. Заметим, что если в функции второго вида инвертировать все переменные, то, используя правила де Моргана, нетрудно показать, что эта функция будет являться инверсией функции Горнера первого вида.

Результаты SPICE-моделирования обучения ТТЕ

Ниже представлены результаты по обучению ТТЕ пороговой функции, зависящей от 10 переменных и представимой в виде схемы Горнера. Минимальные дизъюнктивные нормальные формы этой функции и ее инверсии имеют следующий вид:

$$\begin{aligned} Y_{10} &= x_{10}(x_9 \vee x_8(x_7 \vee x_6(x_5 \vee x_4(x_3 \vee x_2x_1)))) = \\ &= x_{10}x_9 \vee x_{10}x_8x_7 \vee x_{10}x_8x_6x_5 \vee \\ &\vee x_{10}x_8x_6x_4x_3 \vee x_{10}x_8x_6x_4x_2x_1; \end{aligned}$$

$$\begin{aligned} \bar{Y}_{10} &= \bar{x}_{10} \vee \bar{x}_9(\bar{x}_8 \vee \bar{x}_7(\bar{x}_6 \vee \bar{x}_5(\bar{x}_4 \vee \bar{x}_3(\bar{x}_2 \vee \bar{x}_1)))) = \\ &= \bar{x}_{10} \vee \bar{x}_9\bar{x}_8 \vee \bar{x}_9\bar{x}_7\bar{x}_6 \vee \bar{x}_9\bar{x}_7\bar{x}_5\bar{x}_4 \vee \\ &\vee \bar{x}_9\bar{x}_7\bar{x}_5\bar{x}_3\bar{x}_2 \vee \bar{x}_9\bar{x}_7\bar{x}_5\bar{x}_3\bar{x}_1. \end{aligned} \quad (1)$$

В работе [2] показано, что функция Y_{10} , представленная в форме МакКаллока — Питтса [см. (1) в работе [1]], имеет вид

$$\begin{aligned} Y_{10} &= \text{sign}(x_1 + x_2 + 2x_3 + 3x_4 + 5x_5 + 8x_6 + \\ &+ 13x_7 + 21x_8 + 34x_9 + 55x_{10} - 89), \end{aligned} \quad (2)$$

в котором веса переменных и порог являются последовательностью чисел Фибоначчи. Таким образом, порог представляется одиннадцатым числом Фибоначчи. Именно по этой причине выбрано значение порога, равное 89 (см. рис. 8 в работе [1]).

Проверочная последовательность для этой функции должна содержать не меньше 11 наборов значений переменных, которые определяют термами минимальной дизъюнктивной нормальной формы функций Y_{10} и $\bar{Y}_{10}$ в (1). В проверочной последовательности значений функции различные значения чередуются. Для того чтобы сделать эту последовательность повторяемой, необходимо иметь в ней четное число значений, т. е. проверочная последовательность должна содержать четное число наборов значений переменных. С этой целью можно добавить любой набор, на котором функция принимает значение «лог.1». Известно, что любая пороговая функция являет-

ся звездой. Вершина звезды является наиболее удобным кандидатом для ее включения в проверочную последовательность, поскольку ее добавление должно ускорить время обучения. Таким образом, проверочная последовательность для функции (1) имеет вид

x_{10}	x_9	x_8	x_7	x_6	x_5	x_4	x_3	x_2	x_1	Y_{10}
0	1	1	1	1	1	1	1	1	1	0
1	1	0	0	0	0	0	0	0	1	1
1	0	0	1	1	1	1	1	1	1	0
1	0	1	1	0	0	0	0	0	1	1
1	0	1	0	0	1	1	1	1	1	0
1	0	1	0	1	1	0	0	0	1	1
1	0	1	0	1	0	0	1	1	1	0
1	0	1	0	1	0	1	1	0	0	1
1	0	1	0	1	0	1	0	1	1	1
1	0	1	0	1	0	1	0	1	0	0
1	1	1	1	1	1	1	1	1	1	1

В соответствии с ней генератор входных сигналов вырабатывает обучающую последовательность наборов значений сигналов, которая представляет собой периодически повторяемую проверочную последовательность (рис. 1). Последний график этого рисунка представляет стробирующий сигнал t , который участвует в формировании сигналов $Incr$ и $Decr$.

Каждый набор значений входных сигналов x_i и Y_{10} фиксируется в течение 200 нс. После установки набора через 100 нс вырабатывается стробирующий сигнал, длительность которого тоже равна 100 нс. Выбор такого большого интервала времени до появления сигнала стробирования объясняется тем, что перед стробированием должны завершиться все переходные процессы, вызванные установкой входного набора, и в районе рабочей точки эти процессы могут протекать очень медленно.

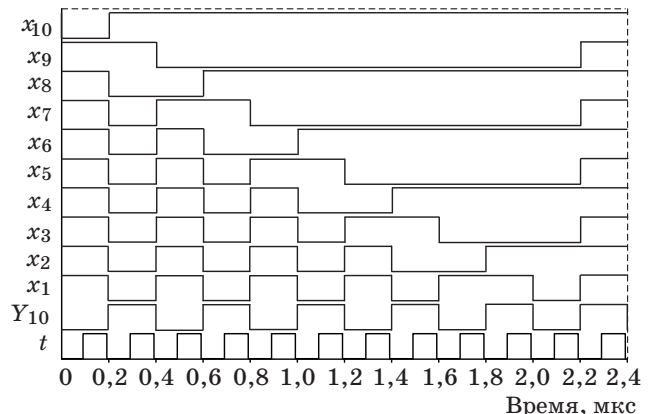


Рис. 1. Проверочная последовательность наборов значений сигналов

Большая длительность сигнала стробирования дает возможность при приближении к рабочей точке автоматически изменять в широких пределах величину шага обучения (вплоть до долей милливольт).

Перед обучением ТТЕ функции Y_{10} необходимо установить пороги срабатываний выходных усилителей. Вернемся к рис. 8 [1]. При 89 минимальных токах синапсов максимальный скачок напряжения $\min \Delta V_{\text{out}} = 428$ мВ, и середина этого скачка находится на уровне 1,75 В. Именно на этот порог и должен быть настроен усилитель с выходом F_{mid} . Очевидно, что разность порогов срабатываний двух других усилителей не должна превышать 428 мВ, так как эта величина определяется параметрами p -канальной части β -компаратора и минимальным значением порога T_{min} логической функции: $\max(\min \Delta V_{\text{out}}) = f(I_{\text{max min}} = I_{\text{comp}}/T_{\text{min}})$, где I_{comp} — ток β -компаратора в пороговой зоне, а $I_{\text{max min}}$ — максимальный ток синапса с наименьшим весом. Выберем эти пороги равными 1,95 и 1,55 В. Порог срабатывания усилителя устанавливается подбором ширины p -канального транзистора его первого каскада. Статические характеристики усилителей приведены на рис. 2.

При приближении слева выходного напряжения β -компаратора к рабочей области для обучения ТТЕ используется выходной сигнал F_{high} усилителя с высоким порогом срабатывания, а при приближении справа — выходной сигнал F_{low} усилителя с низким порогом срабатывания (указано стрелками на рис. 2). Это ведет к растягиванию минимального скачка $\min \Delta V_{\text{out}}$ выходного напряжения β -компаратора и автоматическому позиционированию порога срабатывания усилителя с выходом F_{mid} в середину этого скачка.

Процесс формирования напряжений на конденсаторах синапсов при обучении ТТЕ функции Y_{10} показан на рис. 3, а на рис. 4 представлены сигналы *Incr* и *Decr*, вырабатываемые при формировании этих напряжений и поддержании сформированных значений.

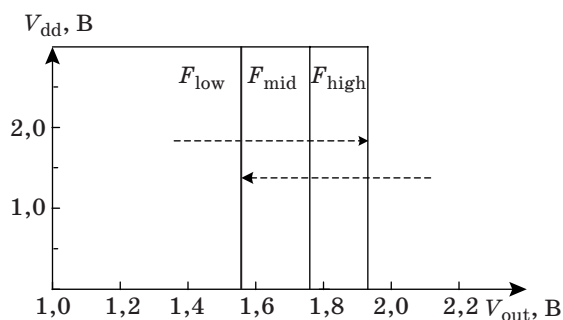


Рис. 2. Статические характеристики выходных усилителей ТТЕ

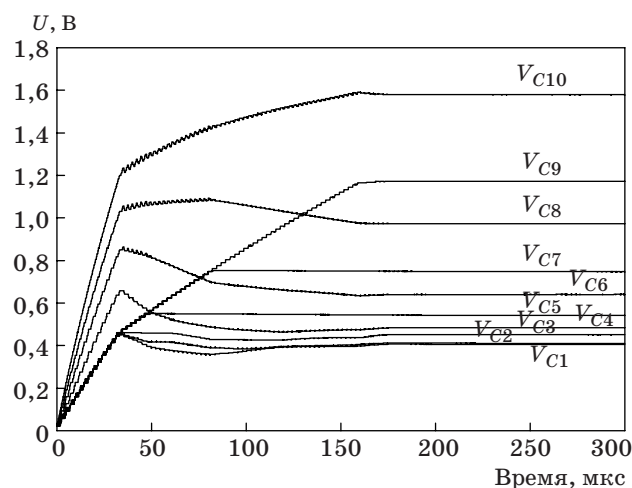


Рис. 3. Формирование напряжений на конденсаторах синапсов при обучении

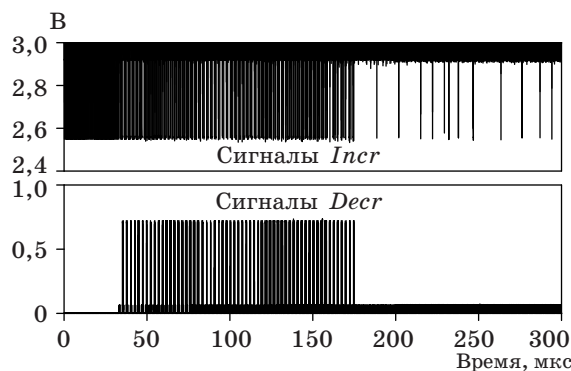


Рис. 4. Генерация сигналов *Incr* и *Decr* в процессах обучения и обновления

На этих рисунках хорошо видна динамика обучения. До тех пор, пока β -компаратор ТТЕ находится вне рабочей области (приблизительно до 35 мкс), сигналы *Decr* не вырабатываются и конденсаторы синапсов заряжаются сигналами *Incr*. Несмотря на то, что их заряд осуществляется с разной скоростью, шаг изменения напряжения на конденсаторах один и тот же и равен максимальному шагу обучения ≈ 20 мВ при длительности сигнала *Incr*, равной 100 нс.

Затем появляются сигналы *Decr*, растягивающие в рабочей области минимальный скачок напряжения на выходе β -компаратора, при этом шаг обучения уменьшается за счет сокращения длительности сигналов *Incr* и *Decr*.

После достижения требуемой величины минимального скачка напряжения ($\max(\min \Delta V_{\text{out}})$), определяемой разностью порогов срабатывания усилителей F_{high} и F_{low} , исчезают сигналы *Incr* и *Decr* (приблизительно через 175 мкс после начала обучения), что является признаком окончания

процесса обучения ТТЕ заданной пороговой функции. Заметим, что при этом порог срабатывания усилителя с выходом F_{mid} оказывается в центре этого скачка. При 200 мкс осуществляется переключение режима обучения ТТЕ на режим обновления, или поддержания, сформированных значений напряжения на конденсаторах синапсов. Коррекция этих напряжений осуществляется достаточно редкими сигналами *Incr* и *Decr*. Несмотря на то, что на рис. 4 сигналы *Decr* отсутствуют до конца эксперимента, они могут появиться при его продолжении.

Использование обученного ТТЕ для решения задач, для которых он обучался, допускается только путем временного прерывания режима обновления. Если этот режим не будет вовремя возобновлен, возможна потеря обученного состояния из-за утечек зарядов конденсаторов синапсов, что приведет к необходимости повторного обучения.

Пределы реализуемости ТТЕ

Для определения функциональных возможностей ТТЕ было проведено множество экспериментов с использованием SPICE-моделирования по обучению ТТЕ пороговым функциям Горнера, зависящим от 7 до 11 переменных. В отличие от технологии 0,8 мкм, в которой возможно построение ТТЕ, реализующей функции 12 переменных, в технологии 0,18 мкм удалось построить ТТЕ, который может быть обучен функции Горнера 11 переменных. При этом пришлось уменьшить амплитуду тока сигналов *Incr* и *Decr* до 0,06 мкА, что привело к резкому увеличению времени обучения (до 810 мкс). При обучении ТТЕ функциям меньшего числа переменных амплитуда тока этих сигналов была равна 0,2 мкА. Минимальное значение порога для функции Горнера 11 переменных равно 144 (двенадцатое число Фибоначчи). Это означает, что β -компаратор ТТЕ должен чувствовать изменение его тока в рабочей области на 1/144. Обучить ТТЕ функции Горнера 12 переменных не удалось.

Использование в синапсах ТТЕ конденсаторов в качестве элементов аналоговой памяти имеет как положительные, так и отрицательные стороны. К положительным может быть отнесена простота реализации, а к отрицательным — неспособность конденсаторов длительное время сохранять заряд из-за утечек через паразитные сопротивления. По этой причине приходится организовывать процесс обновления состояний конденсаторов, который по своей сути аналогичен процессу обучения, за исключением того, что его можно кратковременно прерывать. Если процесс обучения делает ТТЕ нечувствительным к разбросу технологических параметров, то процесс обновления может отслеживать во времени

медленные изменения эксплуатационных параметров (например, питающего напряжения или температуры).

Возникает вопрос, можно ли обойтись без процесса обновления аналоговой памяти? Ответ на этот вопрос неоднозначен. По-видимому, можно, но для этого нужно использовать элементы долговременной аналоговой памяти, например память на подзатворных емкостях (EEPROM), однако при этом возникает множество других проблем, требующих своего решения. Тем не менее интересен вопрос об устойчивости обученного состояния ТТЕ к достаточно быстрым изменениям питающего напряжения, когда процесс обновления не может их отслеживать или когда он не нужен (в случае использования элементов аналоговой памяти без утечек).

Для ответа на этот вопрос была проведена следующая серия экспериментов. ТТЕ обучался функциям Горнера 7, 8, 9, 10 и 11 переменных и определялись напряжения на конденсаторах синапсов в обученном состоянии. Этим функциям соответствуют минимальные пороги, равные 21, 34, 55, 89 и 144. Перед обучением с помощью SPICE-моделирования определялась для каждой из функций величина минимального скачка напряжения $\min \Delta V_{out}$ на выходе β -компаратора (типа рис. 8 [1]) и устанавливались соответствующие ей пороги срабатывания усилителей. После обучения конденсаторы заменялись источниками напряжения, на которых устанавливались с точностью до милливольт напряжения, снятые с конденсаторов. Затем в режиме обновления на входы ТТЕ подавалась обучающая последовательность наборов значений входных сигналов и определялась область допустимого изменения питающего напряжения, в которой на выходе F_{mid} генерировались правильные значения реализуемой функции.

Результаты экспериментов приведены в таблице. Во втором столбце указаны значения минимальных порогов соответствующих функций Горнера, в четвертом — допустимые изменения напряжения источника питания для случая, когда управляющие напряжения синапсов являются стабильными, т. е. в предположении, что напряжения на конденсаторах не изменяются.

■ Результаты SPICE-моделирования

Тип функции	T	$\min \Delta V_{out}$	$\Delta V_{dd}, \%$
F_{11}	144	250 мВ	$\pm 0,12$
F_{10}	89	430 мВ	$\pm 0,24$
F_9	55	650 мВ	$\pm 0,31$
F_8	34	870 мВ	$\pm 0,51$
F_7	21	1 В	$\pm 0,64$

Из таблицы видно, что реализуемость ТТЕ определяется величиной скачка $\min \Delta V_{\text{out}}$. Чем больше скачок, тем меньшие требования предъявляются к источнику питания. Согласно этой таблице, ТТЕ, обучаемый функциям, зависящим от 11 переменных, находится около границы реализуемости из-за относительно малой величины $\min \Delta V_{\text{out}}$, принимая во внимание, что обучить ТТЕ функции Горнера 12 переменных не удалось.

В действительности напряжения на конденсаторах изменяются из-за паразитных токов утечки. Поэтому необходим режим обновления управляющих напряжений синапсов. Фактически в этом режиме продолжается процесс обучения, который в значительной степени парирует нестабильность эксплуатационных параметров, в том числе изменения напряжения источника питания. Так, эксперимент показывает, что при обучении ТТЕ функции Горнера 10 переменных и обновлении обученного состояния допустимо синусоидальное изменение напряжения источника питания на $\pm 1,33\%$ с частотой 1 кГц.

На основании проведенных экспериментов можно сделать вывод, что предложенный ТТЕ вполне работоспособен при обучении пороговым функциям с порогом около 100. При этом, конечно, предъявляются достаточно жесткие, но абсолютно реальные требования к стабильности напряжения источника питания. Впрочем, любая аналого-цифровая схема, например АЦП и ЦАП, предъявляют к источнику питания аналогичные требования.

ТТЕ, обучаемый произвольным пороговым функциям

Очевидно, что ТТЕ может быть обучен реализации только пороговых логических функций. Согласно теории переключательных функций все пороговые функции являются монотонными. Минимальное представление монотонных функций совпадает с их сокращенной формой. Если сокращенная форма пороговой функции содержит только переменные без инверсий, она называется изотонной функцией (подкласс монотонных функций). ТТЕ с простейшими синапсами, каждый из которых содержит только один конденсатор в качестве элемента памяти, может быть обучен только изотонными пороговыми функциями.

С другой стороны, все представители NPN-классов всех пороговых функций некоторого числа переменных могут быть выбраны среди изотонных пороговых функций. (Напомним, что NPN-класс включает в себя все функции, полученные одна из другой путем инвертирования переменных, их перестановок и инвертирования функций.) Отсюда следует, что с помощью только инвертирования переменных для любой пороговой функции можно найти ее изотонного представителя.

Действительно, пусть $Rt\left(\sum_{j=1}^n \omega_j x_j\right)$ — некоторая изотонная пороговая функция n переменных. Инвертируем некоторые из этих переменных $x_i \in Y$, а другие переменные $x_j \in Z$, $i \neq j$, $Z \cup Y = X$ оставим без изменения. Тогда

$$\begin{aligned} F &= \text{sign} \left[\sum_{x_j \in Z} w_j x_j + \sum_{x_i \in Y} w_i \bar{x}_i - T \right] = \\ &= \text{sign} \left[\sum_{x_j \in Z} w_j x_j + \sum_{x_i \in Y} w_i (1 - x_i) - T \right] = \\ &= \text{sign} \left[\sum_{x_j \in Z} w_j x_j - \sum_{x_i \in Y} w_i \bar{x}_i - \left(T - \sum_{x_i \in Y} w_i \right) \right] = \\ &= Rt \left[\frac{\sum_{x_j \in Z} \omega_j x_j - \sum_{x_i \in Y} \omega_i \bar{x}_i}{1 - \sum_{x_i \in Y} \omega_i} \right], \end{aligned}$$

где $\omega_j = w_j/T$. Из этого выражения видно, что использование отрицательных весов в представлениях пороговых функций в виде (1) и (2) из работы [1] сводится к инвертированию переменных (и наоборот). При этом веса переменных в Rt -формуле должны быть дополнительно нормализованы на величину $1 - \sum_{x_i \in Y} \omega_i$.

Отсюда следует, что для обучения ТТЕ произвольной логической функции достаточно инвертировать на входе те переменные, которые имеют отрицательные веса, и обучение вести с помощью проверочной последовательности изотонного представителя этой функции.

При использовании более сложных цепей синапса, например, с двумя элементами памяти для сохранения положительных и отрицательных весов, можно построить ТТЕ, обучаемый произвольным пороговым функциям заданного числа переменных [2], однако возникают сомнения в целесообразности проектирования таких ТТЕ из-за очень высокой сложности схемы синапса и увеличения в значительной степени времени обучения.

Заключение

Рассмотренный в статье ТТЕ имеет много привлекательных свойств.

Его схема очень проста и может быть реализована в КМОП-технологии 0,18 мкм. По-видимому, далее уменьшать длину канала транзисторов нецелесообразно, поскольку это связано с уменьшением напряжения питания, ухудшением характеристик транзисторов и увеличением паразитных токов утечек, что приводит к значительному ухудшению характеристики β -компаратора ТТЕ и его способности к обучению.

Реализуемость ТТЕ определяется только величиной минимального порога обучающей функции и не зависит от суммы весов входов ее переменных и их числа. Как было показано, ТТЕ может быть обучен сложным пороговым функциям (любой пороговой функции до 11 переменных). В действительности он может быть обучен функциям с гораздо большим числом переменных, чем 11, т. е. всем функциям, порог которых не превосходит некоторой величины, на которую рассчитан его β -компаратор. Например, если максимальный порог равен 100, то ТТЕ с таким порогом может быть обучен функциям «И» на 100 входов, при этом гарантированно он может реализовать любую пороговую функцию 10 переменных.

Важным фактором реализуемости ТТЕ является то, что процесс обучения компенсирует разбросы всех технологических параметров элементов, из которых он построен, а процесс обновления зарядов конденсаторов синапсов в значительной степени компенсирует разбросы эксплуатационных параметров (питающего напряжения и температуры).

К недостаткам ТТЕ данного типа можно отнести жесткие требования к стабильности напряжения источника питания, а также необходимость обновления зарядов конденсаторов синапсов в обученном состоянии. Тем не менее хочется верить, что рассмотренный ТТЕ и процедура его обучения могут оказаться полезными во многих примени-

ях, в том числе в области аппаратной реализации искусственных нейронов и нейронных сетей.

На основе ТТЕ может быть построен искусственный нейрон, например, заменой бинарных входов аналоговыми переменными. Однако такой подход ведет к слишком сильным искажениям входных переменных из-за пороговых напряжений на затворах транзисторов и нелинейностей их характеристик.

Другим подходом к построению искусственного нейрона может быть использование АЦП для преобразования непрерывных входных сигналов в двоичные наборы, которые в свою очередь подаются на входы ТТЕ, причем наборы, соответствующие тормозящим входам, подаются на входы ТТЕ через инверторы. Допустимость такого подхода не вызывает сомнений, например, если АЦП преобразует аналоговый сигнал в 8-разрядный двоичный код, то 3 или 4 аналоговых входа потребуют 24 или 32 двоичных входа ТТЕ, что вполне возможно, так как вряд ли потребуется реализация сложных логических функций. Однако при таком подходе возникают проблемы, связанные с обучением нейрона. Абсолютно не понятно, как строить обучающие последовательности, так как по координатное обучение в этом случае неприемлемо и есть опасность, что ТТЕ обучаться не будет. Вопрос же о реализации нейронных сетей вообще пока что не стоит.

Литература

1. Мараховский В. Б. КМОП-реализация обучаемого порогового логического элемента. Часть 1: Проектирование и схема обучения // Информационно-управляющие системы. 2014. № 3. С. 47–56.

2. Varshavsky V., Marakhovsky V., Saito H. CMOS Implementation of an Artificial Neuron Training on Logical Threshold Functions// WSEAS Transaction on Circuits and Systems. Apr. 2009. Iss. 4. Vol. 8. P. 370–391.

UDC 681.3

CMOS Implementation of a Trained Threshold Logical Element. Part II. Simulation Results and Implementability

Marakhovsky V. B.^a, Dr. Sc., Tech., Professor, vbmarak@gmail.com

^aSaint-Petersburg State Polytechnical University, 29, Polytechnicheskaya St., 195251, Saint-Petersburg, Russian Federation

Purpose: Showing the possibility of modern CMOS implementation of an analog-digital logical threshold element which can be trained to complex logical threshold functions, and finding the limits of its implementability. **Methods:** SPICE simulation of training the threshold element to complex threshold logical functions and of supporting its analog memory elements in the trained state. **Results:** It is shown that for threshold element training experiments, the most suitable threshold functions are those which can be represented like Horner scheme, as with their high complexity they have the shortest checking sequences. A threshold element manufactured in CMOS 0.18 micron technology can be trained to an arbitrary threshold function with a threshold not exceeding 144. All threshold logical functions of 11 variables satisfy this restriction, and many functions of a larger number of variables. **Practical relevance:** The designed trained threshold element has considerably extended functional possibilities. It can be used in logical pattern recognition systems and in new generations of neurochips.

Keywords — Artificial Neuron, Synapse, Trained Threshold Logical Element, Training Algorithm, Step of Trainee, CMOS Technology, Threshold Logical Function.

References

1. Marakhovsky V. B. CMOS Implementation of the Trainee's Threshold Logical Element. Part 1. Design and Training Diagram. *Informatsionno-upravliaiushchie sistemy*, 2014, no. 3, pp. 47–56 (In Russian).

2. Varshavsky V., Marakhovsky V., Saito H. CMOS Implementation of an Artificial Neuron Training on Logical Threshold Functions. *WSEAS Transaction on Circuits and Systems*, April 2009, issue 4, vol. 8, pp. 370–391.